

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04N 5/14

(11) 공개번호 특1998-019167
(43) 공개일자 1998년06월05일

(21) 출원번호	특1997-042661
(22) 출원일자	1997년08월29일
(30) 우선권 주장	706,189 1996년08월30일 미국(US)
(71) 출원인	마쓰시타 덴키 산교주식회사 우에다 마사아키
(72) 발명자	일본 오사카후 가도마시 오오아자 가도마 1006 이노우에 슈지
(74) 대리인	일본 오사카후 히라카타 고리가오카 7-4-3 소우세이-소 #304 이병호, 최달용

발명명 : 영상

(54) 블록 지향 이미지 처리 시스템용 이미지 기억 시스템 및 방법(Image storage system and method for a block oriented image processing systems)

요약

비디오 이미지 데이터를 보유하고 있는 다중 채널 메모리 시스템은 각각의 채널에 특정 형태의 인터리빙을 사용하여 성능을 최적화한다. 휘도 및 색차 성분을 나타내는 데이터는 휘도 정보가 메모리 행의 하나의 섹션을 차지하고 색차 정보가 상이한 섹션을 차지하도록 각각 상이한 채널의 메모리에 기록된다. 채널 할당은 메모리 행 내에서 사이클되고, 메모리의 한 행에서 다음까지 변화되므로, 행에서의 모든 휘도 정보는 연속되고, 모든 색차 정보는 휘도 정보 전에 연속되며, 이 대응하는 색차 정보는 3개 채널 모두를 사용하여 단일 동작으로 액세스될 수 있다. 메모리는 3개의 채널로 구성되는데, 각각의 채널은 2개의 디바이스를 포함하며, 각각의 디바이스는 2개의 뱅크를 포함하고 있다. 채널의 인터리빙에 추가하여, 스크린에 인접해진 이미지 데이터를 보유하고 있는 메모리 행은 이 인접 데이터가 빨리 액세스될 수 있도록 각각의 상이한 뱅크 및 디바이스에 저장된다.

도면

도2a

도2b

도면의 간단한 설명

도 1a(종래 기술)는 예시적인 디코딩 MPEG 이미지용 이미지 구조를 보인 이미지도.
 도 1b(종래 기술)는 MPEG 마이크로블록의 구조를 보인 도면.
 도 1c(종래 기술)는 디코딩된 이미지 데이터가 MPEG 디코더에 의해 제공되는 시퀀스를 보인 데이터 스트림도.
 도 1d는 정렬된 화소 블록으로부터 정해진 비정렬 화소 블록을 보인 이미지도.
 도 1e는 정렬된 화소 블록으로부터 정해진, 보관된 화소 블록을 보인 이미지도.
 도 2a는 본 발명에 따른 다중 이미지 메모리를 포함하고 있는 이미지 처리 장치의 블록도.
 도 2b는 도 2a에 도시된 다중 이미지 메모리의 블록도.
 도 2c는 도 2b에 도시된 다중 이미지 메모리의 메모리 유닛중 하나의 유닛을 보인 블록도.
 도 2d는 도 2a에 도시된 다중 이미지 메모리의 다른 실시예의 블록도.
 도 3a는 본 발명의 일실시예를 포함하고 있는 MPEG 디코더의 블록도.
 도 3b 및 도 3c는 도 3a에 도시된 메모리 제어기의 상세 사항을 보인 블록도.
 도 4a는 도 3b 및 도 3c에 도시된 메모리 제어기에 의해 구현된 이미지 주소지정 기술을 보인 이미지도.
 도 4b는 도 3a에 도시된 다중 이미지 메모리에서 3가지 이미지의 예시적인 배치를 보인 메모리 맵도.
 도 5a, 도 5b 및 도 5c는 도 3a에 도시된 다중 이미지 메모리에의 이미지의 배치를 설명하는데 유용한 데이터 구조도.
 도 6은 도 4b에 도시된 필드 이미지중 하나의 이미지가 도 3a에 도시된 다중 이미지 메모리에 어떻게 저장되는지를 보인 데이터 구조도.

도 7a, 도 7b, 도 7c 및 도 7d는 이미지 데이터가 도 3a에 도시된 다중 이미지 메모리의 메모리 행에 어떻게 맵핑되는지를 설명하는데 유용한 데이터 구조도.

도 7e 및 도 7f는 이미지 데이터가 도 2b에 도시된 바와 같은 메모리에 어떻게 맵핑되는지를 설명하는데 유용한 데이터 구조도.

도 8 및 도 9는 이미지 정보가 도 3a에 도시된 다중 이미지 메모리에 어떻게 저장되는지를 설명하는데 유용한 데이터 구조도.

도 10a 및 도 10b는 비정렬된 이미지 블록이 도 3a에 도시된 다중 이미지 메모리에 어떻게 액세스되는지를 설명하는데 유용한 데이터 구조도.

* 도면의 중요 부분에 대한 부호 설명

210 : 이미지 프로세서 212 : 다중 프레임 메모리

214 : 주소 발생기 216 : 디스플레이 프로세서

218 : 디스플레이 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 메모리 기억 시스템에 관한 것으로, 특히 블록 지향 이미지를 보유하도록 구성된 데이터 메모리에 관한 것이다.

디스플레이용 이미지 데이터를 처리하는 많은 형태의 시스템이 존재한다. 이들 시스템은 이전에 존재하는 데이터로부터 이미지를 구성하는 비디오 게임, 의학 이미지 데이터를 충실히 재생하는 의학 진단 시스템 및 인코딩된 비디오 정보를 디코딩하여 디스플레이용 연속 이미지를 발생하도록 처리하는 비디오 분해 시스템을 포함하고 있다. 이들 시스템의 각각은 공동적인 구성요소, 즉 디스플레이 전에 이미지 정보를 나타내는 데이터가 저장되는 메모리를 가지고 있고 있다. 많은 이미지 처리 시스템은 1개 이상의 이미지, 입력 이미지 및 출력 이미지를 저장한다. 예컨대, 입력 이미지는 비디오 게임 플레이어에 대응하는 시각적 구성을 추가하고, 의학 이미지의 성분을 전기적으로 개선하거나, 인코딩된 이미지에 보상된 나중에 발생하는 움직임을 디코딩하도록 처리될 수 있다.

많은 이미지 처리 시스템은 블록 지향 알고리즘을 사용하고 있다. 이들 알고리즘은 이미지를 작은 조각(즉, 블록)으로 분해하고, 블록이 개별적으로 처리되도록 한다. 상당한 시간 절약이 이미지 블록의 병렬 처리 화소에 의해 달성될 수 있다. 하지만, 전체 화소 블록들은 동시에 처리되기 때문에, 이 화소의 전체 블록은 비교적 짧은 시간 간격에서의 저장 및 처리에 이용가능할 수도 있다.

따라서, 블록 지향 이미지 처리 장치에 사용된 메모리 시스템은 데이터의 전체 블록을 고속으로 페치 및 저장할 수 있다. 이 처리는 블록 경계가 고정되어 있지 않은 경우에는 복잡해질 수도 있다. 예컨대, 움직임 보상 이미지를 처리할 때, 디코딩된 데이터는 한 시간의 블록의 화소와 이전 시간의 블록의 화소 사이의 차를 디스플레이할 수 있다. 이 경우에, 이전 블록의 화소는 메모리에 보유되고, 새롭게 사용가능한 화소의 디코딩 처리의 완성을 위해 페치된다. 종종, 최상으로 매칭된 블록 화소를 얻기 위해, 이전 블록은 새롭게 받아들여진 블록에 차지된 것보다 이미지의 다른 위치로부터 얻어진다. 이 참조 블록의 경계는 상기 메모리에 저장된 다른 블록에 대해 시프트될 수도 있다. 따라서, 상기 참조 블록은 저장된 이미지의 여러 블록의 일부분으로부터의 화소를 포함할 수도 있다.

또, 보간과 같은 다른 형태의 이미지 처리는 인접 블록으로부터의 화소를 사용하여, 출력 이미지의 단일 블록을 발생할 수 있다. 고화질 비디오 신호를 디코딩하는데 일반적으로 사용된 한 형태의 이미지 보간은 이미지 메모리에 저장된 블록으로부터 절반 화소만큼 변위된 참조 블록을 한정하는 것이다. 절반 화소 위치의 해상도를 가지고 있는 참조 블록을 재생하기 위해, 블록이 하나 이상인 한 세트의 화소가 액세스되어만 한다. 따라서, 이미지 메모리는 화소의 단일 블록을 액세스하는데 한정될 수 없다.

이미지 메모리의 구조 및 구성에 나쁜 영향을 주는 다른 이미지 처리 문제점은 다중 성분 이미지 데이터이다. 예컨대, 축소된 비디오 이미지는 색차 정보가 이미지를 지각적으로 열화시키지 않고 휘도 정보보다 더 큰 정도로 축소될 수 있기 때문에 독립된 휘도 및 색차 성분을 포함할 수 있다. 이미지가 디코딩되어 디스플레이될 때, 휘도 및 색차 성분은 함께 처리되고 함께 디스플레이된다. 하지만, 이미지 처리시에는 휘도 성분을 독립적으로 색차 성분으로 처리하는 것이 바람직할 수 있다. 이에 따라 이미지 메모리 시스템의 역제가 추가되는데, 이는 독립 블록으로부터의 휘도 및 색차 성분이 어떤 처리 단계 및 독립적으로 다른 처리 단계로 함께 액세스될 필요가 있기 때문이다.

많은 이들 기술을 사용하는 이미지 처리 시스템의 예는 4:2:0 마이크로블록 포맷에서 이미지 데이터를 디코딩하는 MPEG-2 디코더이다. 도 1A는 어떻게 이미지가 조각으로 분할되는지를 보인 이미지의 그래픽도이다. 도 1에서, A 내지 G에 의해 나타내어진 블록 각각은 이미지의 분리 조각이다. 각각의 조각은 마이크로블록으로 구성된다. 예시적인 마이크로블록은 도 1b에 도시되어 있다. 이 마이크로블록은 4:2:0 포맷에 존재하고, Cb 컬러 차 신호 중 하나 및 Cr 차 신호 중 다른 것인 4개의 8 화소 x 8 화소 휘도 블록 및 2개의 8 화소 x 8 화소 색차 블록을 가지고 있다.

이미지가 수신되어 디코딩될 때, 블록은 도 1c에 도시된 시퀀스, 즉 4개의 휘도 블록, 1개의 Cb 컬러 차 블록 및 1개의 Cr 컬러 차 블록으로 발생한다. 이미지 데이터는 동일 순서로 디스플레이용 메모리로부터 페치된다. 디스플레이 프로세서에서, Cb 및 Cr 블록 각각은 4개의 블록으로 확대되고, 컬러 이미지를 재

생하기 위해 4개의 휘도 블록의 각각의 블록과 결합되어 있다.

발명이 이루고자 하는 기술적 과제

하지만, 이미지 처리시, 휘도 및 색차 데이터는 블록 경계에 적합하지 않는 블록에 액세스될 수 있다. 이에 대해서는 도 1d 및 도 1e에 도시되어 있다. 도 1d에서, 참조 블록(110)은 4개의 다른 블록(112, 114, 116, 118) 섹션으로 발생된다. 따라서, 이 참조 블록의 경계는 이미지가 디코딩될 때 메모리에 저장되는 이미지 블록의 경계에 해당하지 않는다. 결과적으로, 메모리가 고정된 주소를 가지고 있는 이미지 블록을 액세스하기 위해 정렬될 경우, 4개 이미지 블록까지는 블록(110)을 재생하기 위해 액세스되는데 필요하다.

도 1e에는 MPEG 디코더에 사용된 다른 이미지 처리 기술을 도시되어 있다. 이 기술에 따르면, 블록(122)이 재생되고, 이미지 블록 경계에 정렬되지 않을 뿐만 아니라 화소 경계에 정렬되지 않는다. 도 1e에 도시된 바와 같이, 이 블록은 도 1d에 도시된 블록(110)으로부터 1/2 화소 위치만큼 수평 및 수직으로 변위된다. 블록(122)을 재생하기 위해서는 단일 블록에 포함된 것보다 더 많은 복수의 화소가 액세스되어야 한다. 이는 도 1e의 9개 화소 x 9개 화소 블록(120)으로 도시되어 있다. 도 1e에 도시된 바와 같이, 이것은 MPEG-2 알고리즘에 의해 사용된 8 x 8 화소 블록보다 더 많은 블록의 이미지 데이터를 액세스할 수 있는 WPEG 디코더가 바람직하다.

발명의 구성 및 작용

본 발명은 다중 채널 메모리 시스템에 사용되며, 이때 각각의 채널의 데이터는 인터리브된다. 각각의 이미지 성분을 나타내는 데이터는 각각의 다른 채널의 메모리에 기록된다. 채널 할당은 메모리의 한 행에서 다음 행까지 변경된다. 이미지의 차 성분은 이미지의 단일 섹션을 나타내는 각각의 성분이 한 모드에서 함께 액세스될 수 있고 다른 모드에서 단일 성분을 나타내는 연속적인 이미지 데이터가 복수 채널 모두를 사용하여 액세스될 수 있도록 메모리의 상이한 섹션에 저장된다.

도 2a는 본 발명에 따른 다중 프레임 메모리(212)를 포함하고 있는 이미지 처리 시스템의 블록도이다. 도 2a에 도시된 시스템은, 데이터를 다중 프레임 메모리(212)로부터 수신하여 데이터를 다중 프레임 메모리(212)에 제공하는 이미지 프로세서(210)를 포함하고 있다. 이미지 프로세서(210)는 요구된 데이터의 폐치 및 기억 주소를 메모리(212)에 제공하는 주소 발생기(214)에 결합되어 있다. 또, 메모리(212)는 주소 발생기(214)에 의해 데이터를 메모리(212)로부터 폐치하고, 디스플레이 장치(218)의 디스플레이용 화소 데이터를 발생하는 디스플레이 프로세서(261)에 결합되어 있다. 디스플레이 프로세서(216)는 디스플레이되는 화소 데이터가 프로세서(216)에 연속적으로 제공되도록 주소 발생기(214)로 다중 프레임 메모리(212)를 주소 지정한다.

도 2a에 도시된 본 발명의 예시적인 실시예에서, 다중 이미지 메모리(212)는 화소 기억 영역의 행 및 열에 정렬된다. 이들 행 및 열은 기억 이미지의 행 및 열에 대응될 필요는 없다. 이들간을 구별하기 위해, 메모리(212)의 행 및 열은 메모리 행 및 메모리 열이라고 하며, 이 이미지 행 및 열은 이미지 행 및 이미지 열이라고 한다.

도 2b는 도 2a에 도시된 메모리(212)로서 사용할 수 있는 예시적인 메모리의 블록도이다. 도 2b에는 3개의 채널을 포함하고 있는 메모리(212)가 도시되어 있고, 이때 각각의 채널은 2개의 메모리 디바이스를 포함하고 있다. 상기 채널은 A, B 및 C에 의해 나타내어져 있다. 채널(A)에서, 2개의 메모리 디바이스는 220A와 222A이다. 각각의 쌍의 메모리 디바이스는 17 비트 주소 값을 수신하고, 64 비트 데이터 값을 제공한다. 메모리(212)는 주소 발생기(214:도 2a에 도시된 바와 같음)로부터 51(17 x 3) 비트 주소 값을 수신하고, 192(64 x 3) 비트 데이터 값을 이미지 프로세서(210) 및 디스플레이 프로세서(216)측에 제공한다.

도 2c에는 메모리 디바이스(220A)중 하나의 예시적인 구조가 도시되어 있다. 도 2c에 도시된 바와 같이, 메모리 디바이스(220A)는 2개의 메모리 뱅크(230, 234)를 포함하고 있다. 메모리 디바이스(220A, 222A)에 제공된 17개의 비트 주소 값은 15개의 비트 주소 값과 2개의 비트 칩 선택 값으로 분할된다. 2개의 비트 칩 선택 값은 2개의 메모리 디바이스(220A, 222A)에서 4개의 메모리 뱅크중 하나의 뱅크를 선택한다. 본 발명의 예시적인 실시예에서, 2개 비트 CS 신호는 메모리 디바이스(220A, 220B, 220C, 222A, 222B, 222C)의 2개의 뱅크 각각의 출력부에서 3-상태 게이트를 엔에이블 또는 디스에이블하는데 사용된다. 15개 비트 주소 값은 메모리뱅크중 하나의 뱅크로부터 특정한 64 비트 워드를 선택하기 위해 모든 메모리 디바이스에 제공된다. CS 신호는 메모리 버스에 제공되도록 각각의 채널로부터 하나의 64 비트 워드를 허용한다. 도 2b 및 2c에 도시된 메모리 구조는 메모리의 4 방식 인터리빙을 허용하기 때문에 비디오 메모리용으로 이점을 가지고 있다. CS 신호의 동작으로 인해, 4개의 192 비트 값은 CS 신호의 4개의 가능한 상태를 통해 간단히 사이클링함으로써 빠르게 액세스될 수 있다. 메모리 동작이 고유 시퀀스로 행해질 경우에, 192 바이트 데이터를 저장하거나 폐치하는 개별 동작은 이것이 메모리(212) 내의 각각의 다른 뱅크를 액세스하기 때문에 시간상에서 오버랩될 수 있다.

도 2d는 메모리(212)로서 사용될 수 있는 선택 메모리를 보인 블록도이다. 채널중 단지 하나의 채널(채널 B)의 상세 구성이 도 2d에 도시되어 있다. 메모리는 메모리(212)와 이미지 프로세서(210) 사이 및 메모리(212)와 디스플레이 프로세서(216) 사이에서 전송되는 데이터 및 주소 정보를 통해 신호 포트(P)를 포함하고 있음이 도시되어 있다.

도 2d에 도시된 바와 같이, 각각의 채널(A, B, C)은 실제 데이터를 보유하고 있는 2개의 메모리 디바이스(224, 246)를 포함하고 있다. 각각의 메모리 디바이스는 차례대로 상부 뱅크(U)와 하부 뱅크(L)의 2개의 뱅크로 분할된다. 각각의 채널의 데이터는 메모리 행에 정렬되어 있고, 각각의 메모리 행은 2,048 바이트의 데이터를 포함하고 있다. 전체 메모리 행은 논리 회로(242)에 의해 즉시 액세스된다. 메모리(212)가 3개의 채널을 포함하고 있기 때문에, 단일 메모리 행에 대한 액세스는 6,144 바이트 데이터를 복귀시킨다.

도 2d에 도시된 메모리 시스템에서, 하나의 메모리 행용의 데이터는 단일 디바이스의 단일 뱅크로부터 액세스된다.

세스된다. 따라서, 각각의 채널은 동일 행 번호를 가지고 있는 4개의 행을 포함하고 있다. 이들 행은 데이터의 행을 액세스하는데 사용된 뱅크 및 디바이스에 의해 구별된다. 데이터의 행이 주소 지정 및 액세스될 때, 상기 데이터는 메모리 인터페이스(240) 내부의 캐시(도시되지 않음)에 저장된다. 동일 메모리 행에서 데이터를 액세스하는 후속되는 시도는 캐시로부터 만족된다. 주소 발생기(214)에 의해 제공된 주소 값에 응답하는 논리 회로(242)는 고유 디바이스 및 뱅크를 특정한 메모리 액세스용으로 사용되도록 선택하고, 데이터를 특정한 메모리 액세스용으로 사용되도록 제공하거나, 인터페이스 회로(250)으로부터 데이터를 수신한다. 인터페이스 회로는 주소 발생기(214)로부터 주소 값을 수신하여 데이터 값을 디스플레이 프로세서(216)에 제공하며, 이미지 프로세서(210)으로부터 데이터 값을 수신하여 데이터 값을 이미지 프로세서(210)에 제공한다.

도 2b 및 2c에 도시된 예시적인 메모리 시스템은 이미지 프로세서(210) 및 디스플레이 프로세서(214)에 의해 사용된 62.5 MHz 시스템 클럭 신호의 각각의 주기에서 24 바이트(192 비트)의 속도로 데이터를 전송한다. 전체 이미지의 데이터가 액세스되는 속도는 메모리(220,222)의 뱅크에 데이터를 인터리빙함으로써 최적화될 수 있기 때문에, 8 바이트 데이터의 연속 그룹은 채널의 4개의 메모리 뱅크 중 각각의 다른 뱅크에 보유된다. 도 2b 및 2c에 도시된 메모리 디바이스에서, 각각의 채널은 시스템 클럭 신호의 각각의 '8 바이트(즉, 1 '옥트바이트(octbyte)) 데이터를 제공한다. 색차 데이터 및 휘도 데이터가 전송될 경우, 2개의 채널은 총 16 바이트의 휘도 데이터를 제공하고, 나머지 채널은 8 바이트의 색차 데이터(즉, Cb 또는 Cr 컬러 차 신호)를 제공한다. 휘도 데이터 또는 단지 색차 데이터만이 제공될 경우에는, 모든 3개의 채널이 휘도 데이터 또는 색차 데이터를 제공한다.

도 2d에 도시된 메모리 시스템은 도 2b 및 도 2c에 도시된 시스템과는 다르며, 이 시스템은 데이터의 전체 메모리 행을 보유하고 있는 캐시를 포함하고 있다. 데이터 값은 한 행의 유닛에서 상부 및 하부 메모리 뱅크에 기록되거나 이들로부터 판독된다. 데이터값은 8 바이트의 그룹에서 각각의 캐시에/로부터 제공된다. 대조적으로, 도 2b 및 도 2c에 도시된 메모리는 버퍼를 포함하고 있지 않고, 채널당 8 바이트의 유닛에서 메모리 뱅크(220,22)로부터 직접적으로 데이터 값을 제공한다. 이들 메모리가 다른 방법으로 동일하기 때문에, 이후 설명은 도 2d에 도시된 메모리 시스템에 초점을 맞춘다. 도 2b 및 2c에 도시된 메모리 시스템의 확장에 대해서는 후술된다.

도 2d에 도시된 예시적인 메모리는 두 방향으로 도통가능한 메모리 포트(P)를 통해 250 MHz의 속도로 인터페이스(250)와 채널(A, B, C)사이에 데이터를 전송하고, 1 바이트의 데이터는 250 MHz 클럭 신호의 각각의 전송과 일치한 각각의 채널로 전송된다. 따라서, 8 바이트(1 옥트바이트) 데이터는 이미지 프로세서(210) 및 디스플레이 프로세서(214)에 의해 사용된 62.5 MHz 클럭 신호의 각각의 주기마다 각각의 채널을 통해 전송된다.

도 3a는 도 2d에 도시된 바와 같은 메모리 시스템을 포함하고 있는 도 2a의 이미지 처리 시스템을 보다 상세히 보인 블록도이다. 도 3a에 도시된 이미지 처리 시스템은 MPEG-2 규격에 따라 엔코딩된 이미지 정보를 분해하는 디코더이다. 메모리(212)에 추가하여, 도 3a에 도시된 처리 시스템은 가변장 디코딩(VDD:variable length decoding) 프로세서(310), 역 양자화 및 역 이산 코사인 변환(IDCT:inverse discrete cosine transform) 프로세서(312), 1/2 화소 보간 및 움직임 예측 프로세서(314), 출력 인터페이스(316) 및 디스플레이 프로세서(322)를 포함하고 있다. 메모리 시스템(212)은 입력 메모리(318) 및 출력 메모리(320)을 통해 이미지 프로세서와 인터페이스된다. 또한, 도 3a에 도시된 이미지 처리 시스템은 도 2에 도시된 주소 발생기(214)와 많은 동일 기능을 행하기 위해 메모리 인터페이스(250)를 통해 동작하는 메모리 제어기(324:도 3b 및 3c를 참조하여 후술함)를 포함하고 있다.

도 3a에 도시된 시스템에서, 엔코딩된 이미지 데이터는 VDD 프로세서(310)에 제공되고, 디코딩된 이미지 데이터는 입력 메모리(318)을 통해 메모리(212)로부터 절반 화소 보간 및 움직임 예측 프로세서(314) 및 디스플레이 프로세서(322)에 제공된다. 디코딩된 이미지 데이터는 출력 메모리(320)을 통해 출력 인터페이스(316)에 의해 메모리(212)에 제공된다. 본 발명의 예시적인 실시예에서, 입력 메모리(318)은 채널 인터페이스(250)로부터 192 비트의 데이터를 수신한 다음에, 이 데이터를 작은 그룹의 비트(예컨대, 24 비트 데이터 워드)로 프로세서(310,314,322)중 하나의 프로세서측에 제공한다. 동일 방식으로, 출력 메모리(320)은 비교적 작은 증가(예컨대, 24 비트)로 출력 인터페이스(316)로부터 데이터를 수집하여, 192 비트 데이터를 채널 인터페이스(250)에 제공한다. 도 2b 및 2c에 도시된 메모리가 도 3a에 도시된 시스템에 사용될 경우에는, 입력 메모리(318) 및 출력 메모리(320)은 메모리(212)로부터 192 비트 데이터를 각각 수신하여 제공하고, 도 2a에 도시된 주소 발생기(214)는 메모리 제어기(324)로 대체될 수 있다.

도 3a에 도시된 시스템은 분리 경로(도시되지 않음)를 통해 인터페이스 프로세서(250)에 접속된 트랜스포트 디코더(도시되지 않음)로부터, 예컨대 MPEG-2 엔코딩된 비디오 데이터를 나타내는 시리얼 비트 스트림을 수신한다. 비트 스트림 데이터는 동시에 192 비트를 VDD 프로세서(310)에 제공된다. 프로세서(310)은 어떻게 계수가 디코딩되는지를 결정하는 이산 코사인 변환(DCT : discrete cosine transform) 계수 및 다양한 제어값을 나타내는 고정된 길이 코드 워드를 발생하기 위해 가변장 데이터 스트림을 부분적으로 디코딩한다. 한가지 형태의 제어값은 마이크로블록 움직임 벡터이며, 이 형태의 데이터는 프로세서(310)에 의해 버스(MV)를 통해 보간 및 움직임 예측 프로세서(310)측에 제공된다.

프로세서(312)는 DCT 계수를 화소값으로 변환하고, 8 화소 블록의 데이터 값에 의한 8 화소를 프로세서(314)에 전달한다. 블록이 움직임 보상 기술을 사용하여 엔코딩될 경우에는, 이들 데이터값은 최종 화소값을 발생하기 위해 미리 디코딩된 프레임으로부터 참조 블록의 값이 추가되는 나머지값이다. 이 합은 1/2 화소 보간 및 움직임 예측 프로세서(314)에서 행해진다. 프로세서(314)는 메모리(212)로부터 참조 블록을 폐치하여, 역 양자화 및 IDCT 프로세서(312)에 의해 제공된 나머지 화소값과 결합한다.

참조 블록을 얻기 위해, 프로세서(314)는 포워드 프레임 및 백워드 프레임인 2개의 다른 프레임의 참조 블록들 사이에 보간되는 것이 필요하다. 도 1d에 도시된 참조 블록(110)에 대해 수평 및 수직으로 1/2 화소 위치만큼 변위된 도 1e에 도시된 참조 블록(122)와 같은 참조 블록을 얻기 위해, 프로세서(314)는 단일 프레임의 인접 화소들 사이에 보간하는 것이 필요하다. 이들 보간 동작을 행하기 위해, 프로세서(314)는 메모리(212)에 저장된 포워드 및 백워드 프레임에서 각각의 필드로부터 하나인 4개 블록의 데이터를 폐치하고, 각각의 폐치된 블록은 화소의 종래 필드 블록보다 각각의 방향에서 하나의 화소 위치만큼 커져

있다.

화소의 각각의 블록이 절반 화소 보간 및 움직임 예측 프로세서(314)에 의해 처리될 때, 이 블록은 기억용 화소 블록을 출력 메모리(320)를 통해 메모리(212)에 수집하는 출력 인터페이스(316)측으로 전달된다. 출력 인터페이스(316)는 출력 메모리(320)에 전송될 수 있도록 화소 값의 블록을 버퍼한다. 상기한 바와 같이, 출력 인터페이스(316)과 출력 메모리(320) 사이의 데이터 경로는 24 비트 버스로서 충족될 수 있고, 출력 메모리(320)과 인터페이스 회로(250) 사이의 데이터 경로는 192 비트 버스이다. 후술되는 바와 같이, 색차 데이터의 블록은 휘도 데이터의 대응하는 블록과 다른 위치에서 메모리(212)에 기록된다. 따라서, 데이터를 메모리에 기록하는 주소를 제공하기 위해, 출력 인터페이스(316)는 휘도 데이터 및 색차 데이터가 전송되는 블록의 디스플레이를 제공한다.

메모리(212)에 저장된 디코딩된 화소 데이터가 디스플레이될 때, 데이터는 입력 메모리(318) 및 메모리 인터페이스 ASIC(250)을 통해 디스플레이 프로세서(322)에 의해 액세스된다. 데이터는 디스플레이용으로 동시에 하나의 블록을 액세스할 수 있고, 일반적으로 블록으로부터 화소의 한 라인만이 어느 한 액세스시에 사용된다. 또한, 컬러 화소값을 충실하게 재구성하기 위해, 화소 라인용 휘도 데이터 및 색차 데이터는 함께 액세스된다.

프로세서(310, 314, 316, 322)의 각각은 메모리(212)로부터의 데이터 기억 및 폐치를 제어하기 위해 메모리 제어 회로(324)에 제공된 각각의 제어 신호(VD, PR, OR, DR)를 발생한다. 도 3b 및 도 3c는 메모리 제어 회로(324)에 사용할 수 있는 회로의 블록도이다. 이 예시적인 회로는 메모리(212)에 저장된 이미지의 화소 값 블록을 주소하는데 사용된다.

도 3b에서, 메모리 제어 회로(324)에 제공된 제어 신호는 3개의 섹션, 즉 수평 섹션(HF), 수직 섹션(VD) 및 필드 섹션(FD)로 분할된다. 11 비트 HF 신호의 비트(10, 9)는 메모리 행 주소 신호(ROW)의 2개의 최하위 비트(LSB)이다. 신호(HF)의 비트 8은 주소된 데이터가 발견될 수 있는 메모리 디바이스(예컨대, 도 2c에 도시된 244 또는 246)의 뱅크(U 또는 L)를 나타내는 신호(BANK)이다. 또한, 신호(HF)의 비트 10, 9 및 8은 3개의 비트값 HF[10:8] 모듈 3을 나타내는 2 비트 출력값을 발생하는 모듈 3 디바이더(350)에 제공된다. 이 값은 도 3c 및 7a 내지 7f를 참조하여 후술한 바와 같이 주소를 채널에 할당하는데 사용된 논리 회로(352)의 하나의 입력 포트에 제공된다. 신호(HF)의 3개의 LSB, HF[2:0]은 도 3b에 도시된 메모리 제어기에 의해 신호(FB)로 제공된다. 이 값은 복귀된 옥트바이트 내의 바이트가 주소된 화소에 해당함을 설명한다.

비트 HF[7:3]은 3배 분할 회로(354)에 제공된다. 이 회로는 값 HF[7:3]/3의 정수 섹션을 나타내는 4 비트 값 및 HF[7:3] 모듈 3을 나타내는 2 비트값인 2개의 값을 발생한다. 4 비트값은 메모리 열 주소의 최상위 비트이고, 2 비트 모듈값은 논리 회로(352)의 제2 입력 포트에 제공된다. 논리 회로(352)의 출력 신호는 2 비트 신호(CH)이다. 이 신호는 도 3c를 참조하여 후술한 바와 같이, 적절한 주소 값을 각각의 채널(A, B, C)에 제공하는데 사용된다.

21 비트 주소값의 10비트 수직부 VF[9:0]은 메모리 제어 회로(324)에 의해 3개 필드로 분할된다. 이 10 비트값의 5개 최상위 비트(MSB_s)는 메모리 행 주소(ROW[6:2])의 5개 MSB이다. 10 비트값의 비트 4는 디바이스 주소 신호(DEV)이다. 이 신호는 메모리(212)의 디바이스중 하나의 디바이스(예컨대, 244 또는 246)를 선택하는데 사용된다. 10 비트 수직부([3:0])의 4개 LSB는 메모리 열 주소의 4개 LSB(COP [3:0])이다.

주소값의 4 비트 필드부 FD[3:0]은 필드 변환 테이블(356)에 의해 메모리 행베이스 주소로 변환되어, 주소된 데이터가 발생하는 필드용으로 메모리(212)에 베이스 주소를 발생한다. 필드 변환 테이블은 한편으로는 이미지 처리 회로(210) 및 디스플레이 프로세서(216)(양쪽이 도 2a에 도시됨)의 다양한 프로세서에 의해 사용된 필드 수와 또 다른 한편으로 필드에 대응하는 메모리(212)에서의 물리적 주소 사이에 맵핑을 보유하고 있다. 변환 테이블은 도 4b에 참조하여 후술한 바와 같이 메모리 맵을 보유하고 있는 제어기(도시되지 않음)에 의해 발생할 수 있는 5 비트 신호 NF[4:0]에 의해 프로그래밍된다. 변환 테이블(356)에 의해 제공된 출력 신호는 저장된 이미지 필드용 베이스 주소인 메모리 행을 가르키는 9 비트 값이다. 액세스되는 데이터용 메모리 행 주소는 이 9 비트값을 가산기(358)에서 7 비트 행 주소값 ROW[6:0]과 합함으로써 얻어진다.

도 7a 내지 도 7f를 참조하여 후술한 바와 같이, 휘도 데이터 및 색차 데이터는 모든 3개 채널을 사용하여 독립적 또는 함께 액세스될 수 있도록 메모리 행의 각각의 상이한 섹션에 저장된다. 도 3c는 이러한 형태의 액세스를 발생하는 회로의 블록도이다. 도 3c에서, 복합 메모리 행 및 메모리 열 주소는 스위치(360)의 2개 입력 포트에 제공된다. 또, 이것은 가산기(362)의 한개 입력 포트에 제공된다. 가산기의 다른 입력 포트는 디지털 데이터 소스(364)에 의해 제공된 오프셋 값을 수신하기 위해 결합되어 있다. 소스(364)는, 예컨대 신호 Y/C에 의해 엔에이블된 배선에 의한 레지스터(도시되지 않음)이다. 휘도 데이터만 또는 색차 데이터만이 신호 Y/C가 제공됨을 디스플레이할 경우, 제로 값은 오프셋 값으로서 제공된다. 하지만, 신호가 휘도 및 색차 신호 데이터의 결합이 제공됨을 디스플레이할 경우, 예컨대 160인 메모리 열 주소 오프셋은 가산된다. 도 2c를 참조하여 상기 설명한 메모리가 사용될 경우에, 이 오프셋은 적합해진다. 도 2a 및 2b에 도시된 것과 같은 메모리 시스템이 사용될 경우, 다른 오프셋값이 적합해질 수 있다. 이 주소값은 도 7e 내지 7f를 참조하여 후술한 바와 같이 결정될 수 있다.

가산기(362)의 출력 신호는 스위치(360)의 제3 입력 포트에 제공된다. 이 스위치는 결합된 메모리 행 및 메모리 열 주소값을 다른 2개의 채널에 제공하는 동안, 가산기(362)에 의해 제공된 출력 신호를 채널 중 하나에 제공하기 위해 신호 CH에 응답된다. 주소값이 3개 메모리 채널에 제공되는 방법은 도 7a 내지 도 7f를 참조하여 후술된다.

도 4a는 참조 블록이 어떻게 10 비트 수직 주소부 VF[9:0] 및 11 비트 수평 주소부 HF[10:0]을 사용하여 배치되는지를 설명하는 이미지 필드 주소 도면이다. 도 4a에 도시된 바와 같이, 이들 2개 값을 사용하여, 필드의 어느 곳에 배치된 참조 블록의 제1 화소는 주소될 수 있다. 화소 주소값 HF 및 VF는 다중 프레임 메모리(212)에서 적합한 메모리 행, 메모리 열 및 옥트바이트를 얻기 위해 도 3b 및 3c에 도시된 회로에 의해 변환된다.

도 4b는 이미지 필드 및 엔코딩된 데이터 버퍼(VBV 버퍼)의 배치를 설명하는 메모리(212)의 도면이다. 도 4b에 도시된 바와 같이, 어느 주어진 시간에서, 메모리(212)는 6개의 필드(A0, A1, B0, B1, C0, C1)를 보유하고 있다. 이들 필드는 프레임으로 짝지어진다. 이들 3개의 프레임은 포워드 참조 프레임, 백워드 참조 프레임 및 디스플레이 프레임으로 디스플레이한다. 프레임 사이의 할당은 고정되어 있지 않다. 포워드 참조 프레임으로서 사용되는 프레임은 디스플레이 프레임일 수 있고, 이전 디스플레이 프레임은 백워드 참조 프레임이며, 이전의 백워드 참조 프레임에 대응하는 메모리 영역에 저장된 새로운 프레임은 포워드 참조 프레임이다. 프로세서(314 및 322)에 의해 제공된 백워드 프레임, 포워드 프레임 또는 디스플레이 프레임으로부터 도 4b에 도시된 6개 필드 중 하나로 변환은 필드 변환 테이블(356)으로 처리된다. 이 테이블은 마이크로프로세서(도시되지 않음)에 의해 도 4b에 도시된 다중 프레임 메모리에서 6개 필드의 베이스에 대응하는 메모리 행값으로 로드된다. 각각의 필드 변경의 기능으로서, 테이블(356)은 화소 주소값의 필드부FD[0:3]이 고유 베이스 주소로 변환되도록 갱신된다.

도 5a, 5b 및 5c는 도 2d에 도시된 바와 같은 메모리 시스템이 사용될 때, 이미지 데이터의 필드가 어떻게 메모리(212)에 저장되는지를 설명하는데 사용하는 데이터 구조도이다. 도 5a는 주요 프로파일 하이 레벨 이미지용 이미지 필드를 도시되어 있다. 이 이미지 필드는 540개 라인을 포함하고 있고, 각각의 라인은 1920 화소를 가지고 있고 있다. 상술한 바와 같이, 메모리(212)에 의해 제공된 데이터의 메모리 행은 길이가 고정되어 있다. 따라서, 이미지의 폭을 확대하는 마이크로 블록 섹션은 8개 메모리 행을 사용하고, 도 5b에 도시된 바와 같은 각각의 메모리 행은 수평으로 384 바이트 x 수직으로 16 바이트의 매트릭스로 정렬된 6,144 바이트의 데이터를 포함하고 있다. 상술한 바와 같이, 메모리(212)는 8 바이트(1 옥트바이트) 유닛의 데이터를 제공한다. 도 5c는 3 옥트바이트 데이터, 휘도 신호(Y)중 하나 및 2개의 컬러 차 신호(Cb, Cr)의 각각의 중 하나를 보인 데이터 도면이다.

도 6은 도 4b에 도시된 필드 A0를 구성하는 메모리 행은 어떻게 메모리(212)에 저장되는지를 보인 메모리 맵도이다. 도 6에 도시된 바와 같이, 마이크로블록의 메모리 행은 디바이스 번호(D0 또는 D1), 디바이스 내의 뱅크(L 또는 U) 및 뱅크 내의 메모리 행 번호(R0 내지 R67)에 의해 확인된다. 다음 이미지 필드(즉, 필드 A1)은 메모리 행 R68에서 시작할 수 있다.

메모리 행용 디바이스 할당이 저장된 이미지의 열에 따라 교체함에 주의하자. 데이터 구조의 제1 열에서 연속적인 메모리 행은 시퀀스 D0, D1, D0 등으로 계속된다. 도 2d에 도시된 바와 같이 RAMBUS 메모리 시스템이 사용될 때, 다른 디바이스의 메모리 행의 수직 인터리빙은 수직으로 정렬된 행 쌍을 행은 동일 디바이스에 저장될 경우보다 더 빠른 속도로 액세스된다. RAMBUS 시스템의 특징은 도 10a 및 10b에 참조하여 더 상세히 후술된다. 도 2a 및 2b에 도시된 바와 같은 메모리 시스템이 사용될 경우, 이것은, 예컨대 3개 채널의 교체 메모리 뱅크에 교체 마이크로블록 행(각각의 행은 24 바이트 또는 192 비트 데이터를 포함함)을 저장하는 미세한 입도의 데이터를 인터리브하고, 각각의 뱅크의 교체 디바이스에 수직으로 정렬된 행에 대응하여 저장하는 것이 이점일 수 있다. 도 2a 및 2b에 도시된 바와 같이 메모리 시스템에 사용될 수 있는 예시적인 도해는 도 7e 및 7f를 참조하여 후술되어 있다.

MPEG-2 상술에 정의한 바와 같이, 각각의 마이크로블록은 휘도 정보 신호 Y의 4개의 8 화소 x 8 라인 블록 및 2개의 색차 정보 신호 Cb 및 Cr 각각의 1개의 8 화소 x 8 라인 블록인 6개 블록을 포함하고 있다. 도 7a, 7b 및 7c는 본 발명에 사용하기에 이점이 있는 도 2d에 도시된 메모리의 이미지 화소의 맵핑을 도시되어 있다. 도 7a는 메모리(212)에 저장된 이미지 필드용 화소 데이터의 제1 메모리 행, row1을 도시되어 있다. 도 7b 및 7c는 도 6에 도시된 바와 같이 수평으로 row1에 따르는 화소 정보를 포함하고 있는 메모리 행 2 및 3의 1/2를 각각의 도시되어 있다.

도 7a, 7b 및 7c에 도시된 메모리의 행은 2개 섹션으로 분할된다. 대시 수직 라인(700)의 좌측 섹션은 휘도 데이터를 보유하고 있고, 라인(700)의 우측 섹션은 색차 정보를 보유하고 있다. 글자 A, B 및 C 각각은 메모리(212)의 3개 채널 각각으로부터 얻어진 데이터의 옥트바이트를 디스플레이한다. 따라서, 도 7a에 도시된 메모리 행은 16개 라인을 포함하고 있고, 각각의 라인은 48 옥트바이트를 포함하고 있다. 본 발명의 예시적인 실시예에서, 3개 채널 모두는 각각의 메모리 액세스 동작시 사용된다. 도 3a를 참조하여, 마이크로블록 데이터가 출력 메모리(320)로부터 메모리(212)로 저장될 때, 2개 채널은 휘도 정보(62.5 MHz 클럭 펄스당 2 옥트바이트)용으로 사용되고, 1개 채널은 색차 정보(62.5 MHz 클럭당 1 옥트바이트, Cb 및 Cr을 교체함)용으로 사용된다. 데이터가 할프 화소 보간 및 움직임 예측 프로세서(314)에 의한 사용을 위해 폐치될 때, 및 데이터가 디스플레이 프로세서(322)에 의해 검색될 때, 모든 3개 채널은 휘도 정보를 폐치하는데 사용된 다음, 색차 정보를 폐치하는데 사용된다.

데이터는 연속적인 옥트바이트가 화살표(701)에 의해 나타내어진 방향으로 액세스되도록 할프 화소 보간 회로에 의한 사용을 위해 메모리(212)에 기록되고, 메모리(212)로부터 판독된다. 하지만, 데이터는 연속적인 옥트바이트가 화살표(703)에 의해 나타내어진 방향으로 얻어지도록 디스플레이용 메모리로부터 판독된다.

휘도 정보(Y로 디스플레이) 및 색차 정보(CbCr로 디스플레이)는 도 8에 도시된 바와 같이 Y-(A,B), CbCr-(C), Y-(C,A), CbCr-(B), Y-(B,C), CbCr-(A)순으로 메모리(212)의 채널 A, B 및 C로 함께 기록됨에 주의하자. 도 7a에 도시된 바와 같이, Y 데이터는 대시 라인(700)의 좌측에 기록되고, 대응하는 CbCr 데이터는 대시 라인(700)(즉, 160의 메모리 열 주소 오프셋으로)의 우측에 기록된다. 도 8에 도시된 바와 같이, Cb 색차 정보(804)는 Cr 색차 정보(806)과 수직으로 인터리브된다. 각각의 연속적인 수평 마이크로블록의 휘도 성분은 도 7a에 도시된 제1 메모리 행의 2개 복합 메모리 열을 차지하고, 색차 정보는 한개의 복합 열을 차지한다. 휘도 성분은 도 7a의 좌측 에지로부터 개시하여 기록되고, 색차 성분은 대시 라인(700)으로부터 개시하여 기록된다. 이 패턴은 휘도 정보가 채널 A 및 B에서 주소(160)로부터 시작하는 열의 최종 셀에 기록되고, 대응하는 색차 정보가 도 7a의 가장 우측 열의 최종 셀에 기록될 때까지 계속된다. 다음 마이크로 블록은 도 7b에 도시된 메모리(212)의 제2 메모리 행에 기록된다. 이 제2 메모리 행에서의 데이터는 채널(A, B)를 사용하는 메모리에 기록된 제1 메모리 행의 최종 휘도 데이터가 제2 메모리 행에서 채널(C,A)를 사용하여 메모리(212)에 기록된 휘도 데이터 다음에 오도록 상기 설명된 순서를 지속한다. 데이터는 휘도 및 색차 데이터가 행 메모리 경계와 교차하여 메모리 채널 A, B 및 C의 연속적인 사용으로 지속된다.

도 7d는 메모리 열 주소를 도 7a에 도시된 메모리 행 배치에 관련시키는 메모리 맵도이다. 도 7d에 도시된 바와 같이, 각각의 메모리 행은 256개 메모리 열을 포함하고 있고, 각각의 메모리 열은 메모리(212)의 각각의 채널 A, B 및 C 중 하나의 3 옥트바이트 데이터를 포함하고 있다. 도 3c를 참조하여, 2 옥트바이트의 휘도 데이터 및 1 옥트바이트의 색차 데이터가 주소 제로에서 메모리에 저장될 때, 2개의 휘도 옥트바이트는 메모리 열 0에 기록되고, 오프셋값 160의 추가로 인해 색차 옥트바이트는 채널 C의 메모리 열(160)에 기록된다. 도 7a를 참조하여, 메모리열(160)은 라인(700)의 바로 우측이다. 도 3c에 도시된 스위치(360) 및 도 3b에 도시된 논리(352)는 변위된 주소가 적합한 색차 옥트바이트를 저장하거나 폐치하기 위해 고유 채널에 제공되도록 도 7a, 도 7b 및 도 7c에 도시된 바와 같이 열 주소를 변경한다.

도 7e 및 7f에는 도 2b 및 2c에 도시된 것과 같은 메모리 시스템으로 사용하기에 적합한 2개의 메모리 맵핑이 도시되어 있다. 도 7e에 도시된 맵핑에서, 메모리 행은 수평으로 이미지를 전개하는 한 세트의 마이크로블록인 MPEG-2 이미지 조각에 대응한다. 이 맵핑을 사용하여, 3840의 주소 오프셋은 색차 블록(700'의 우측)을 휘도 블록으로부터 분리하는데 사용될 수 있다. 개별 화소가 주소 지정되고, 8개 화소는 각각의 채널 주소에 저장되며, 조각은 60개 마이크로블록(이미지 라인당 1920 화소)을 포함하고 있다고 가정한다.

도 7e에 도시된 맵핑도에 사용된 채널의 시퀀싱은 도 7a, 7b 및 7c에 도시된 맵핑과 동일한 규정을 따른다. 이 시퀀싱은 3개 채널 모두를 연속적인 이미지 데이터를 얻기 위해 수평 및 수직으로 액세스되게 한다. 또, 이것은 휘도 데이터 및 대응하는 색차 데이터를 3개 채널을 사용하여 액세스하고, 3개 채널 모두를 연속적인 휘도 데이터 및 연속적인 색차 데이터를 얻기 위해 액세스한다.

도 7f에 도시된 맵핑도에서, 메모리 행은 전체 필드에 대응하고, 색차 데이터를 휘도 데이터로부터 분리하는데 사용된 오프셋값은 1036800이다. 본 발명의 이 실시예에 사용된 채널 시퀀싱은 화소의 연속적인 스트림이 3개 채널 모두를 사용하는 메모리에 기록되거나 메모리로부터 폐치될 수 있다는 것을 보장한다. 채널 시퀀싱은 수평으로 연속된 휘도 화소 성분, 수평으로 연속된 색차 화소 성분 또는 대응하는 연속된 휘도 및 색차 화소 성분을 3개 채널 모두를 사용하여 각각을 함께 액세스한다. 이 메모리 맵핑 기술은 이것이 수직으로 연속된 화소를 3개 채널 모두를 사용하여 액세스시키지 않기 때문에, 도 7a, 도 7b, 도 7c 및 도 7e에 도시된 기술 만큼 융통성이 없다.

도 6은 각각의 셀이 도 7a에 도시된 바와 같은(즉, 도 2d에 도시된 것과 같은 메모리 시스템을 사용하여) 메모리 행인 1개의 복합 필드를 도시되어 있다. 수평 마이크로 블록 행(16개 라인의 비디오 이미지)는 도 6에 도시된 바와 같이 8개의 메모리 행을 사용한다. 상술한 데이터 순서 방법은 도 6에 도시된 메모리 행을 교차하여 데이터 연속성을 제공한다. 이 순서의 주요한 중요성은 참조 마이크로블록을 쉽게 액세스시키는 것이다. 표준으로 정의한 바와 같이, 이들 참조 마이크로블록은 1/2 화소 해상도를 각각의 가지고 있는 임의의 수직 및 수평 이동을 정의하는 각각의 움직임 벡터에 의해 현재 입력 마이크로블록으로부터 오프셋된다. 이것은 참조 마이크로블록의 위치가 도 6 또는 7a 내지 7c의 셀 라인에 한정되지 않는다는 것을 암시한다. 이 오프셋 주소 지정은 도 1d 및 1e에 참조하여 상술된다.

도 7a, 도 7b 및 도 7c에 도시된 데이터 및 도 2d에 도시된 메모리 시스템의 특정 정렬은 단일 메모리 액세스 요구만을 사용하여 새롭게 디코딩된 휘도-색차 마이크로블록의 저장을 허용하고, 이것은 상술한 바와 같이 17 x 9 포맷에서의 휘도 화소 및 9 x 5 포맷에서의 색차 화소의 임의로 배치된 블록을 기껏해야 2개의 메모리 액세스를 사용하여 움직임 보상 프로세싱용으로 액세스한다. 또한, 이들 2개의 요구는 파이프라인될 수 있다.

메모리(212)이 디스플레이용으로 준비될 때, 필드는 일반적으로 좌측에서 우측 및 위에서 아래로 판독된다. 도 7a 내지 도 7f를 참조하여 상술한 바와 같이, 3개 메모리 채널 모두가 사용된다. 설명에서, 도 10a는 도 6의 상부 좌측 코너에서의 메모리 행(610)을 디스플레이하고, 도 10b는 행(610)의 우측에 배치된 메모리행(612)을 디스플레이한다. 한 액세스에서, 도 7a의 제1 라인은 화살표(703)의 방향에서 좌측에서 우측으로 판독된다. 모든 Y 값은 먼저 판독되고, 이어서 Cb 및 Cr 값이 판독됨을 주지한다. 다음 액세스는 도 7b에 도시된 바와 같이 제2 메모리행(612)로부터 발생된다. 도 7b에서, 제1 라인은 좌측에서 우측으로 판독된다. 이에 계속되어 디스플레이 래스터가 발생된다. 3개 채널의 데이터 순서는 도 7a, 도 7b 및 도 7c에 도시된 3개 행 각각에 대해 다음에 주의하자. 이 패턴은 3개 행마다 반복한다.

할프 화소 보간 회로는 항상 17 화소 x 9 라인인 블록을 얻기 위해 휘도 데이터를 액세스하고, 각각의 9 화소 x 5 라인인 Cb값 중 하나 및 Cr값 중 하나인 2개의 블록에서 색차 데이터를 액세스한다. 17 x 9 휘도 액세스는 1/2 화소 해상도를 가지고 있는 18 x 8 블록의 화소를 발생하기 위해 할프 화소 보간 회로(314:도 3a에 도시됨)를 허용한다. 이 16 x 8 블록은 휘도 화소값의 필드 마이크로블록에 대응한다. 동일 방식으로, 9 x 5 색차 블록은 색차 신호(Cb, Cr)의 8 x 4 필드 마이크로블록의 화소를 발생하기 위해 청구된다.

도 10은 휘도 화소의 17 x 9 블록을 얻기 위해 액세스된다. 17개 연속적인 휘도 화소값을 액세스하기 위해, 3개 채널로부터의 데이터가 필요해진다. 도 9는 데이터가 어느 메모리 행에서 3개의 가능한 채널 순서 (A,B,C), (B,C,A), (C, A,B)중 어느 것을 가질 수 있음을 도시되어 있다. 도 7a에 도시된 행을 사용하여, 예컨대 도 9의 항목(902)으로서 도시된 데이터는 항목(702)의 2개의 열 및 항목(708)의 1개 열으로서 얻어질 수 있다. 화소의 바람직한 17 x 9 블록은 화소의 폐치된 24 x 9 블록 내에 전체적으로 있고, 폐치로부터 프로세서(314:도 3a에 도시됨)에 의해 액세스된다. 색차 정보의 대응하는 2개의 9 화소 x 5 라인 블록은 도 7a에 도시된 데이터 항목(704, 706)의 데이터로부터 폐치될 수 있는 24 화소 x 10 라인 데이터 블록 내에 전체적으로 존재한다.

또, 도 7a, 7b 및 7c에 도시된 특정한 주소 지정 도면은 액세스되는 참조 블록이 복수 메모리 행을 교차하여 분할될 때 이점을 가지고 있고 있다. 예컨대, 이것은 이들 각각의 필드에 저장될 때 포워드 및 백워드 참조 블록이 블록 경계에 제한되지 않기 때문에 움직임 보상 프로세싱을 발생할 수 있다. 게다가, 참조 블록은 프레임의 어느 위치에서 1개 화소 위치의 1/2의 해상도를 발생할 수 있다. 도 10a 및 10b는 2개의 다른 상황을 설명하는데 하나는 색차값의 2개의 9 화소 x 3 라인 세트가 4개의 메모리 행과 교차하여 분할되고, 휘도값의 17 화소 x 9 화소 세트가 4개의 메모리 행과 교차하여 분할된다.

도 2c에 도시된 메모리 시스템에 참조하여 상술한 바와 같이, 3개 채널 각각의 주소가 독립적으로 상술될 수 있기 때문에, 메모리 행 경계와 교차하는 데이터의 연속성으로 인해, 이들 상황 중 하나는 기껏해야 2개의 메모리 액세스로 처리될 수 있다. 또한, 메모리 디바이스에서 주소의 수직 인터리빙으로 인해, 이들 2개의 메모리 액세스는 파이프라인될 수 없는 2개의 페치 요구에 관련된 데이터를 페치하는데 필요한 시간량을 감소시키기 위해 파이프라인될 수 있다. 도 10a에 도시된 예에 대해, 블록(1010)은 2개의 메모리 동작으로 액세스되고, 제1 동작은 채널 B용 주소를 (D0, R1)에 세트하고, 채널 C용 주소를 (D0, R0)에 세트한다. 또, 채널 A는 (D0, R0) 또는 (D0, R1)중 하나일 수 있는 메모리 액세스를 가지고 있고 있다. 채널 A로부터의 데이터는 색차 화소의 9 x 5 세트를 재발견하는데 필요없기 때문에 버려진다. 색차 데이터 세트를 액세스하는데 사용된 제2 메모리 동작은 채널 B용 주소로서 (D1, R1)을 할당하고, 채널 C용 주소로서 (D1, R0)를 할당한다. 또, 이 경우에, 더미 액세스는 A 채널에서 (D1, R0) 또는 (D1, R1) 중 하나로 발생된다. 이들 요구는 블록(1010)에 도시된 데이터를 재발견한다. 블록(1010)은 10개의 라인을 포함하고 있고, 각각의 라인은 2 옥트바이트임에 주의하자. 10개의 라인은 Cb 및 Cr 색차값이 도 8에 도시된 바와 같이 메모리(212)에서 인터리브되기 때문에 필요해진다.

도 10b의 데이터 세트(1012)에 포함된 17 x 9 블록의 화소값을 얻는데 사용된 2개의 액세스는 색차 샘플 용으로 동일해진다. 제1 액세스는 채널 A, B 및 C의 주소를 (D0,R0), (D0, R0) 및 (D0, R1)에 각각의 세트한다. 제2 액세스는 이들 주소를 각각의 (D1,R0), (D1, R0) 및 (D1,R1)에 세트한다. 이들 요구는 블록(1012)에 도시된 데이터를 재발견한다.

본 발명의 예시적인 실시예에서, 화소(1010, 1012)의 블록은 메모리(212)에서 일반적으로 처리되는 마이크로블록의 움직임 벡터 정보에 응답하여 할프 화소 보간 및 움직임 예측 프로세서(314)로 변위된다. 그 다음, 프로세서(314:도 3a에 도시됨)은 17 x 9 휘도 화소 블록 및 2개의 9 x 5 색차 화소 블록에 대응하는 블록(1012, 1010)의 적당한 섹션을 선택한다.

색차 데이터 및 휘도 데이터용 2개 메모리 액세스가 메모리(212) 내의 디바이스(-채널의 각각에서 디바이스 0에 대한 제1 메모리 액세스 및 채널의 각각에서 디바이스 1에 대한 제2 메모리 액세스)를 분리하기 위한 것이기 때문에, RAAmUS 시스템의 특징은 2개의 독립적인 메모리 요청에 관련된 데이터를 액세스하는데 사용된 시간량을 감소하기 위해 사용될 수 있다. 이 특징은 동일 디바이스를 사용하는 메모리 행 내의 데이터보다 더 빠른 속도로 액세스되도록 디바이스(244 및 246:도 2c에 도시됨) 중 각각의 다른 하나에 있는 메모리 행 내의 데이터를 허용한다.

우선, 이 특징을 무시하고, 메모리 행을 액세스하는 일반적인 절차로는, 먼저 주소된 행용 메모리 액세스 요청이 디바이스, 디바이스 내의 뱅크 및 주소 일부로서 뱅크 내의 행을 상술함으로써 발생된다. 이 주소의 디바이스, 뱅크 및 행 섹션이 정확히 미리 액세스되는 행과 동일할 경우, 긍정 응답(ACK) 신호는 수신되고, 데이터가 전송될 수 있다. 하지만, 요구된 행은 최종 액세스 행과 동일하지 않을 경우, 부정 응답(NAK)이 수신되고, 메모리(212)는 새로운 행로부터 주소 데이터를 페치하는 논리 회로(242:도 2c에 도시됨)에서 내부 설정 동작을 개시한다. 설정 동작이 완료된 후, 제2 요구가 나타날 경우, ACK 및 요구된 데이터가 응답된다.

RAMBUS 시스템에서, 이들 랜덤 요구는 디바이스(244 및 246) 중 각각의 다른 디바이스에 대한 것인 경우, 파이프라인될 수 있다. 따라서, 디바이스 수가 다른 도 10a의 1002 및 1006과 같은 2개의 행을 요구하는 바람직한 방법은 제1 행을 요구하기 위한 것이고, NAK를 수신한 후, 즉시 제2 행을 요구하는 것이다. 또, 이 요구는 NAK로 응답될 수 있다. 하지만, 요구가 디바이스를 분리하는데 사용되기 때문에, 2개 디바이스(244 및 246 : 도 2c에 도시됨)의 개별 논리 회로(242)는 요구를 동시에 처리한다. 하지만, 제1 행은 다시 요구될 때는 ACK 및 요구 데이터가 응답된다. 또, 이 데이터가 전송된 후, 제2 행의 인접한 제2 요구는 ACK 및 요구된 데이터로 응답된다. 데이터가 디바이스(246)으로부터 제공되는 동일 시간에서 디바이스(244)의 설정이 발생할 수 있기 때문에, 결과의 이 시퀀스가 발생한다. 다른 디바이스에서 행에 대한 이 이중 요구용으로 사용된 총 시간은 약 650 ns이다.

도 7e에 도시된 메모리 맵핑은 도 2b 및 2c에 도시된 메모리 시스템과 동일 방식으로 사용될 수 있다. 이 맵핑도를 이용하여, 수평 및 수직인 이미지의 연속적인 휘도 데이터는 메모리 채널 A, B 및 C의 어느 연속된 변경에 저장되고, 연속된 색차 데이터도 3개 채널의 연속된 변경에 저장된다. 하지만, 이들 변경은 휘도 데이터 및 이것에 대응하는 색차 데이터가 3개 채널 모두를 사용하여 단일 메모리 동작에 액세스될 수 있도록 정렬된다.

상술한 메모리 설계는 이미지 필드를 나타내는 데이터를 몇가지 다른 방식으로 저장하고 페치하기 때문에, 이익을 가져온다. 이것은 MPEG-2 마이크로블록 포맷과 조화하는 포맷에 저장될 수 있고, 기껏해야 2개 메모리 요구에서 16 x 8 화소 또는 17 x 9 화소의 할프 마이크로블록에 액세스될 수 있다. 또, 이것은 블록에서 래스터 변환을 조성하는 포맷에 액세스될 수 있다.

지금까지 본 발명은 예시적인 실시예에 의해 설명되었지만, 본 발명은 첨부된 특허청구의 범위의 취지 및 범위내에서 이상에서 설명한 바와같이 실시될 수 있음을 알 수 있다.

발명의 효과

(67) 청구의 범위

청구항 1

제1 및 제2 이미지 성분 신호를 포함하고 있는 비디오 이미지 데이터를 저장하는 비디오 메모리 시스템에 있어서, 제1 및 제2 분할영역을 가지고 있는 메모리로서, 이들 각각의 분할영역이 복수의 메모리 행을 포함하고 있고, 이들 각각의 메모리 행은 복수의 섹션을 가지고 있으며, 그리고 상기 각각의 분할영역이 이 분할영역의 데이터를 액세스하기 위한 각각의 채널을 가지고 있는 메모리 및 주소 발생기를 포함하고 있

고, 상기 주소 발생기는 각각의 상기 제1 및 제2이미지 성분 신호를 상기 제1 및 제2채널 중 하나의 채널에 할당하는 수단으로서, 이 채널 할당이 비디오 이미지 데이터가 저장되는 상기 메모리 행중 연속된 메모리 행에 대해 상이한 수단 및 상기 제1 및 제2이미지 성분이 하나의 메모리 행에 저장될 때, 상기 제1 및 제2이미지 성분을 상기 메모리 행중 하나의 메모리 행의 각각의 상이한 섹션에 할당하는 수단을 포함하고 있는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 2

제1항에 있어서, 각각의 상기 제1 및 제2이미지 성분 신호는 상기 비디오 이미지 데이터에 의해 나타내어진 상기 비디오 이미지의 화소의 인접한 그룹을 나타내는 복수의 블록을 포함하고 있고, 상기 주소 발생기는 상기 제1 및 제2 이미지 성분 신호중 하나의 신호의 상기 블록중 연속되는 블록을 상기 메모리 분할 영역중 각각의 상이한 분할영역의 대응하는 메모리 행의 대응하는 섹션에 할당하는 수단을 더 포함하고 있는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 3

제1 및 제2 이미지 성분 신호를 포함하고 있는 비디오 이미지 데이터를 저장하는 비디오 메모리 시스템에 있어서, 복수의 메모리 행을 각각 포함하고 있는 제1, 제2 및 제3분할영역을 가지고 있는 메모리로서, 각각의 상기 메모리 행은 복수의 섹션을 가지고 있고, 각각의 상기 분할영역은 이 분할영역의 데이터를 액세스하기 위한 각각의 채널을 가지고 있는 메모리 및 주소 발생기를 포함하고 있고, 상기 주소 발생기는 상기 제1이미지 성분 신호를 상기 제1, 제2 및 제3채널중 2개의 연속된 채널에 할당하고, 상기 제2이미지 성분 신호를 상기 제1, 제2 및 제3채널중 나머지 하나의 채널에 할당하는 수단 및 상기 제1 및 제2이미지 성분이 하나의 메모리 행에 저장될 때, 상기 제1 및 제2이미지 성분을 상기 메모리 행중 하나의 메모리 행의 각각의 상이한 섹션에 할당하는 수단을 포함하고 있는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 4

제3항에 있어서, 각각의 상기 제1 및 제2이미지 성분 신호는 상기 비디오 이미지 데이터에 의해 나타내어진 상기 비디오 이미지의 화소의 인접한 그룹을 나타내는 복수의 블록을 포함하고 있고, 상기 주소 발생기는 상기 제1 및 제2이미지 성분 신호중 하나의 신호의 상기 블록중 연속된 블록을 상기 메모리 분할 영역중 각각의 상이한 분할영역의 대응하는 메모리 행의 대응하는 섹션에 할당하는 수단을 더 포함하고 있는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 5

제4항에 있어서, 상기 메모리의 각각의 섹션은 복수의 상기 메모리 행을 각각의 보유하고 있는 제1 및 제2디바이스를 포함하고 있고, 상기 비디오 이미지 데이터에 의해 나타내어진 상기 이미지의 수직으로 인접한 화소 그룹을 나타내는 블록이 상기 메모리 행중 하나의 행의 디바이스중 각각의 상이한 디바이스에 저장되는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 6

제5항에 있어서, 상기 블록은 마이크로블록이고, 이들 각각의 마이크로블록은 상기 제1이미지 성분 신호의 4개의 화소 그룹 및 상기 제2이미지 성분 신호의 2개의 그룹값 및 2개의 화소 그룹을 포함하고 있으며, 상기 마이크로블록중 하나의 마이크로블록의 각각의 그룹값은 상기 제1, 제2 및 제3 채널중 각각의 상이한 채널을 사용하여 상기 메모리 행중 하나의 메모리 행에 저장되고, 상기 제1이미지 성분 신호의 4개의 화소 그룹은 상기 메모리 행의 제1연속 주소 공간에 저장되고, 상기 제2이미지 성분의 2개의 화소 그룹은 제2연속 주소 공간에 저장되며, 이때 이 제2주소 공간은 상기 제1연속 주소 공간으로부터 하나의 메모리 행에 배치되는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 7

제3항에 있어서, 상기 메모리는 상기 제1, 제2 및 제3분할영역에 대응하는 제1, 제2, 제3 메모리 소자로서, 제1 및 제2 디바이스를 각각 포함하고 있는 제1, 제2, 제3 메모리 소자를 포함하고 있고, 상기 주소 발생기는 디바이스의 특정 화소 위치를 나타내는 주소값을 생성하는 디바이스 주소 발생기 및 상기 메모리 소자중 각각의 소자의 주소 값을 수신하기 위해 상기 디바이스중 하나의 디바이스를 선택하는 디바이스 선택 회로를 포함하고 있는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 8

제7항에 있어서, 각각의 메모리 소자의 각각의 디바이스는 제1 및 제2 메모리 뱅크를 포함하고 있고, 상기 주소 발생기는 각각의 상기 메모리 소자의 상기 주소값을 수신하기 위해 상기 선택된 디바이스의 뱅크중 하나의 뱅크를 선택하는 뱅크 선택 회로를 더 포함하고 있는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 9

제7항에 있어서, 상기 디바이스 주소 발생기는 제어 신호에 응답하여 상기 메모리 소자중 하나의 메모리 소자에 제공된, 변위된 디바이스 주소를 발생하기 위해 변위값을 상기 디바이스 주소에 선택적으로 더하는 가산 수단을 더 포함하고 있는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 10

제9항에 있어서, 상기 3개의 메모리 소자는 사이클 순서로 정렬되어 있고, 상기 디바이스 주소 발생기는 상기 사이클에서 상기 디바이스 주소를 2개의 제1메모리 소자에 제공하고, 상기 사이클에서 상기 변위된 디바이스 주소를 제3메모리 소자에 제공하며, 그리고 상기 사이클의 개시 위치는 상기 메모리 행중 연속된 행에서 2개 위치만큼 전진하는 것을 특징으로 하는 비디오 메모리 시스템.

청구항 11

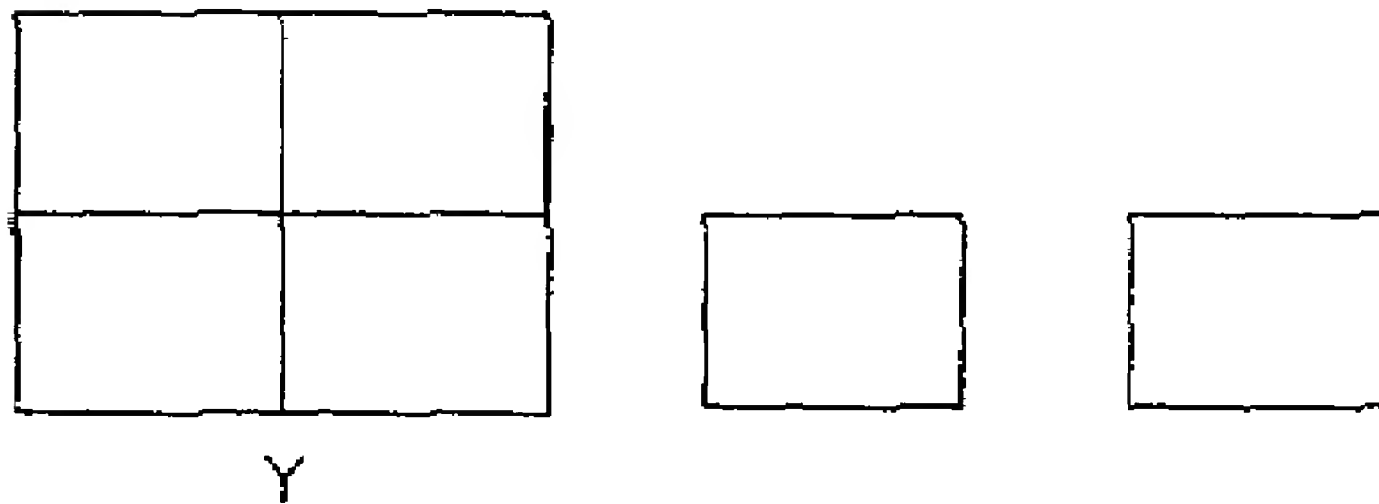
제1 및 제2이미지 성분 신호를 포함하고 있는 비디오 이미지 데이터를, 제1 및 제2 분할영역을 가지고 있는 메모리에 저장하는 방법으로서, 각각의 상기 분할영역이 이 분할영역의 데이터를 액세스하기 위한 각각의 채널에 접속되어 있는 방법에 있어서, 각각의 상기 제1 및 제2 분할영역에 복수의 메모리 행을 설정하는 단계로서, 이들 각각의 메모리 행이 복수의 섹션을 가지고 있는 단계, 상기 메모리의 주소값을 발생하는 단계를 포함하고 있고, 주소값을 발생하는 상기 단계는 각각의 상기 제1 및 제2이미지 성분 신호를 상기 제1 및 제2 채널중 하나의 채널에 할당하는 단계로서, 이 채널 할당이 상기 비디오 이미지 데이터가 저장되는 상기 메모리 행중 연속된 메모리 행에 대해 상이 한 단계, 상기 제1 및 제2 이미지 성분이 하나의 메모리 행에 저장될 때, 상기 제1 및 제2이미지 성분을 상기 메모리 행중 하나의 행의 각각의 상이한 섹션에 할당하는 단계, 및 상기 제1 및 제2 이미지 성분중 하나의 성분이 하나의 메모리 행에 저장될때, 상기 제1 및 제2이미지 성분을 상기 메모리 행중 하나의 메모리 행의 하나의 섹션에 할당하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

도면

도면 1a

A
B
C
D
E
F
G

도면 1b



도면 1c



Fig. 14

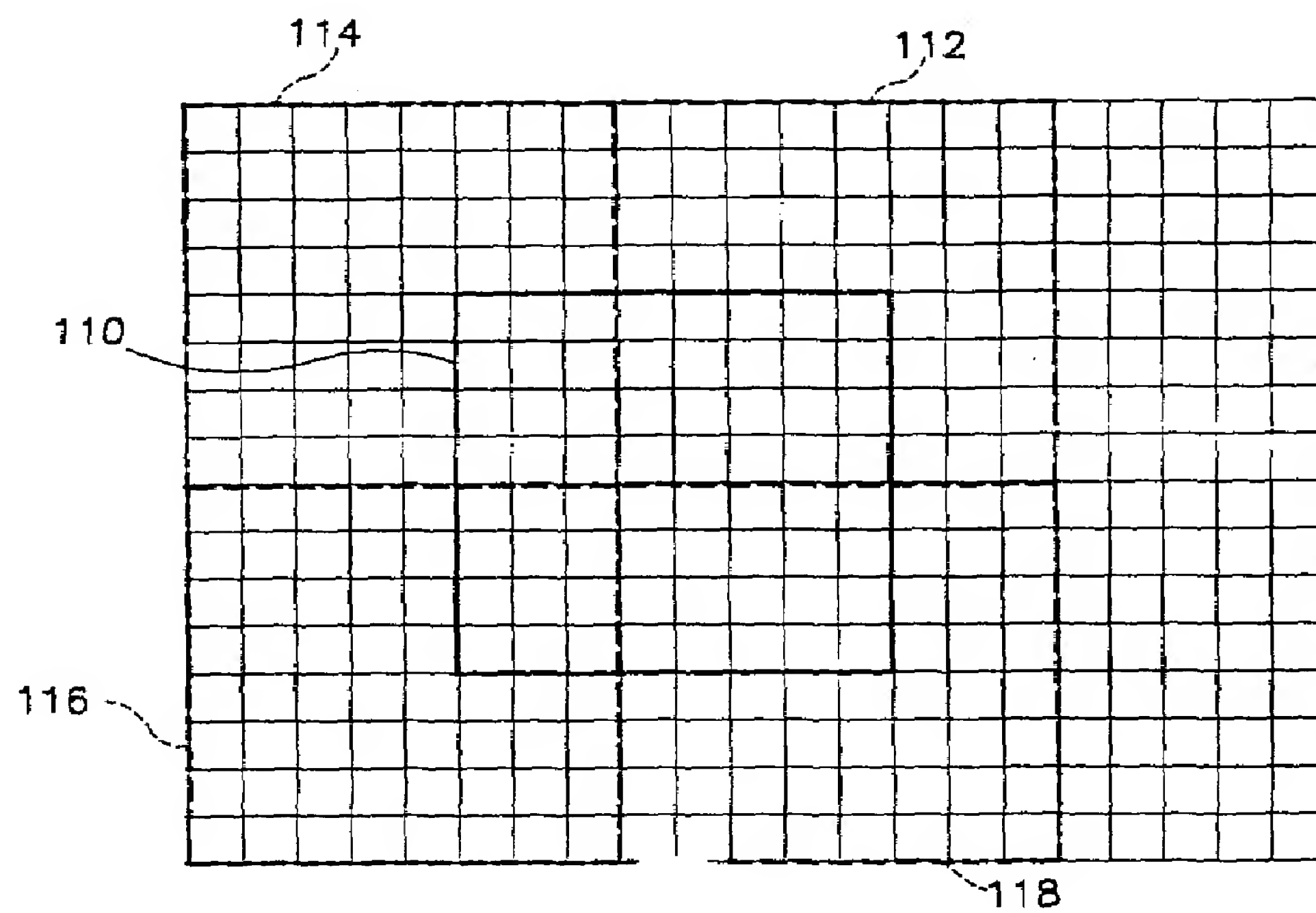
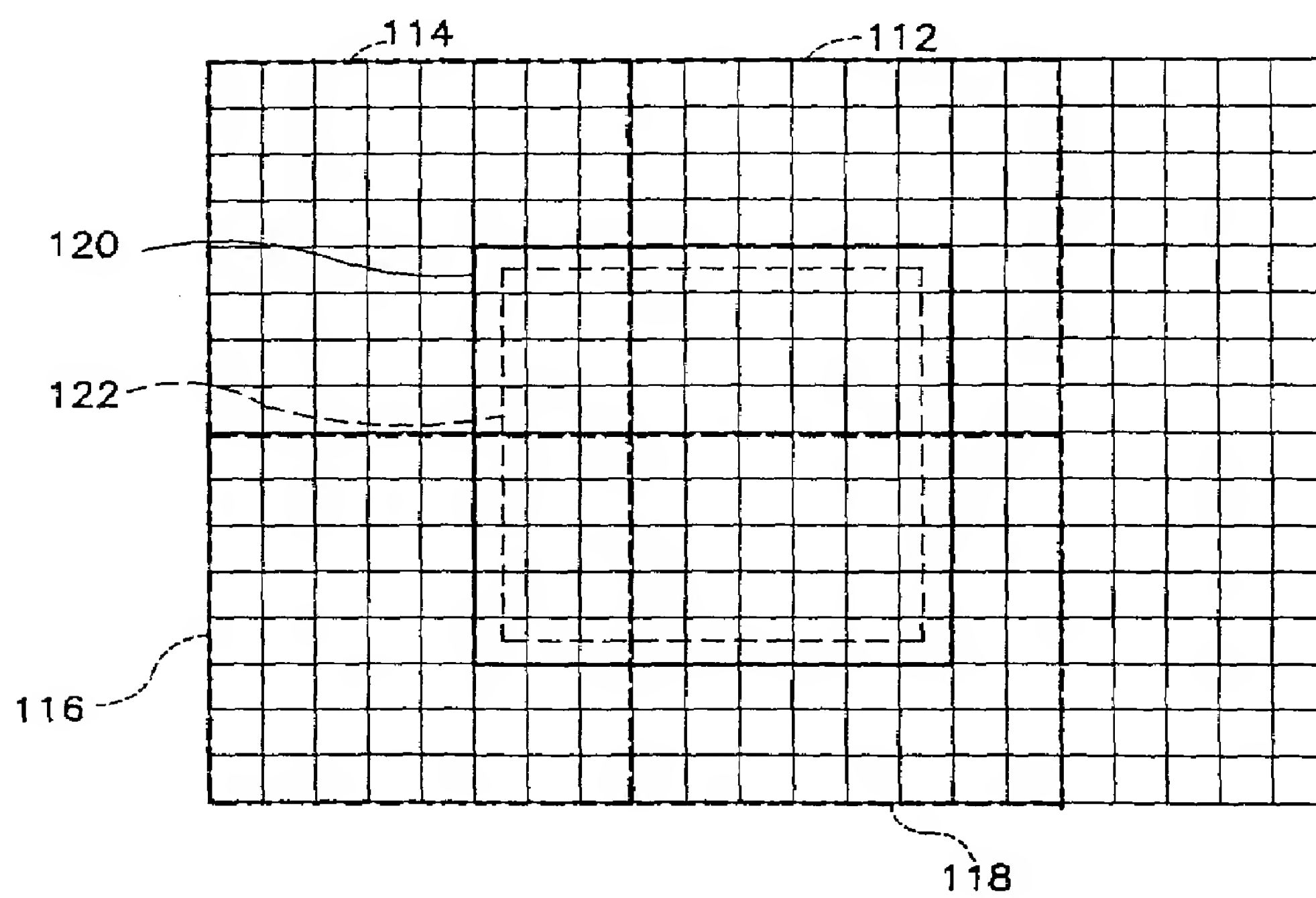
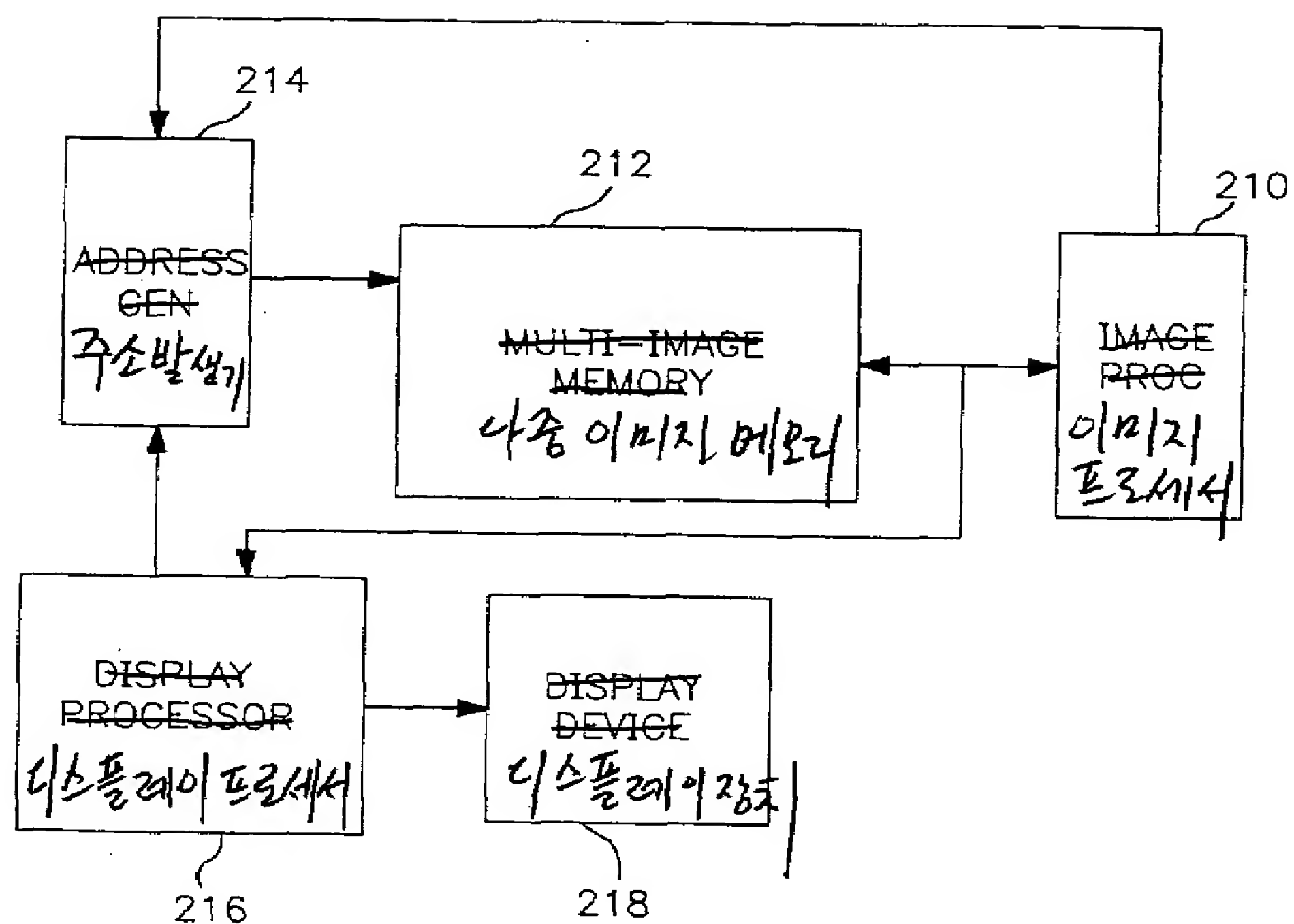


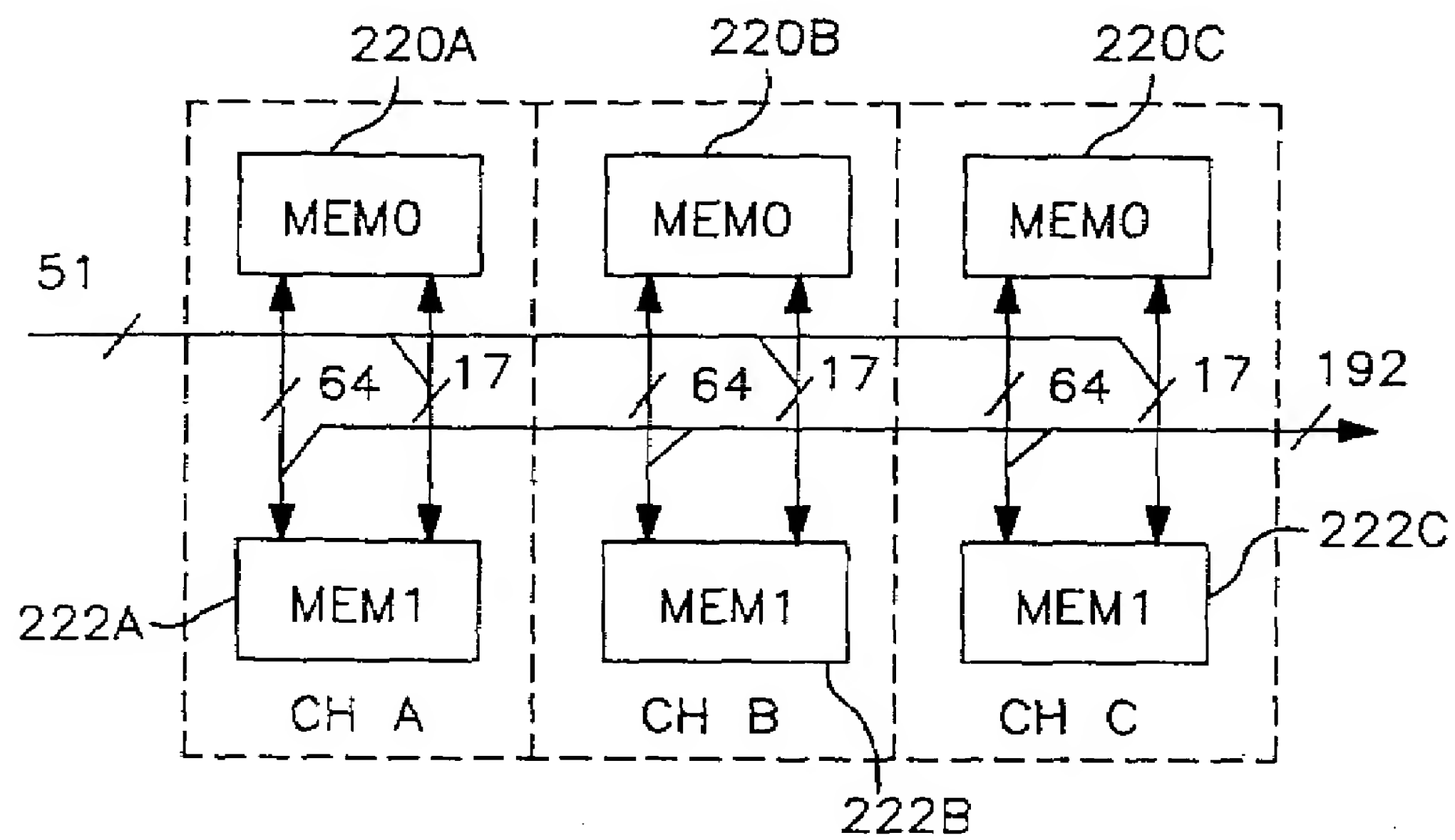
Fig. 15

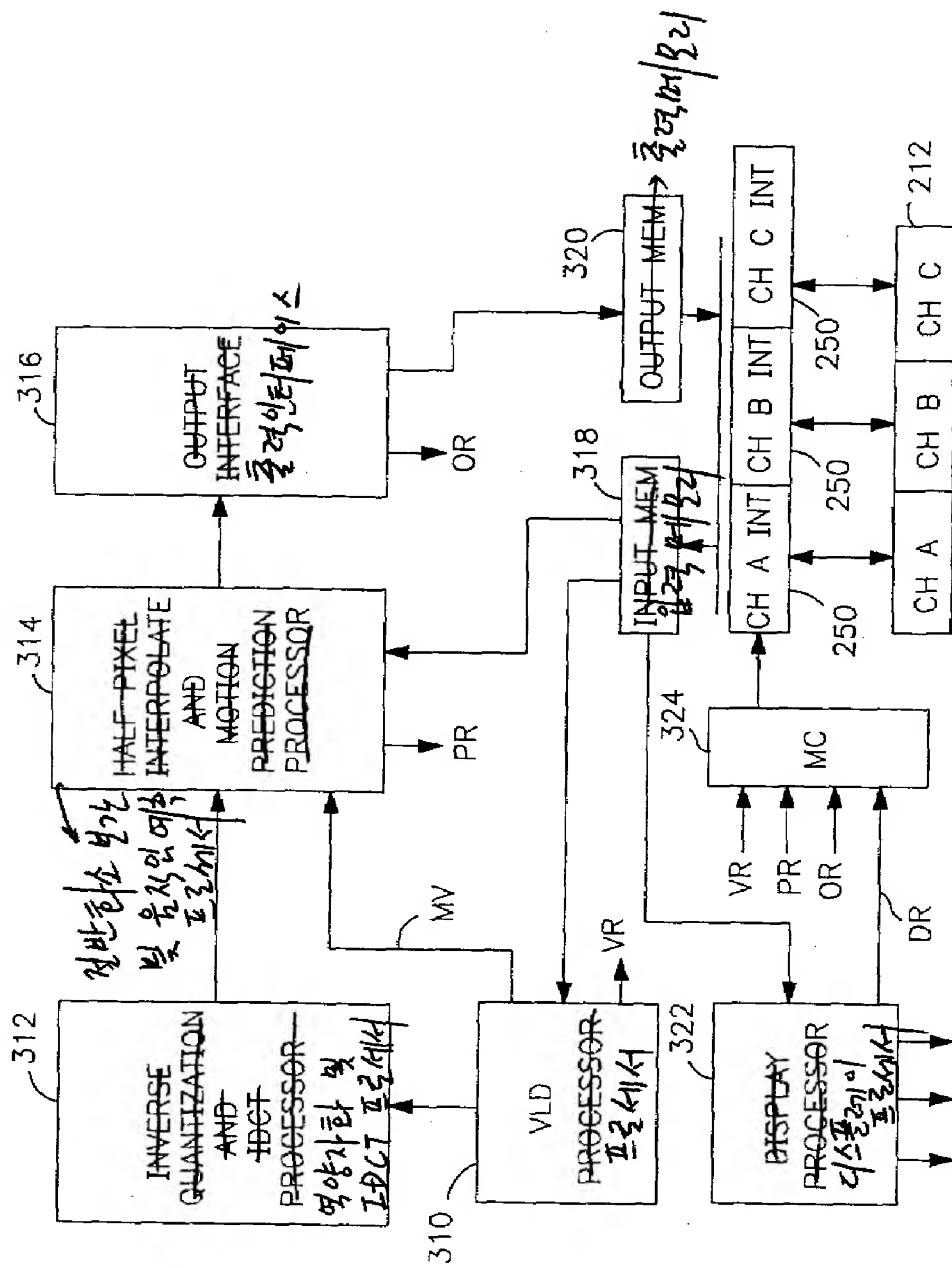


E22a

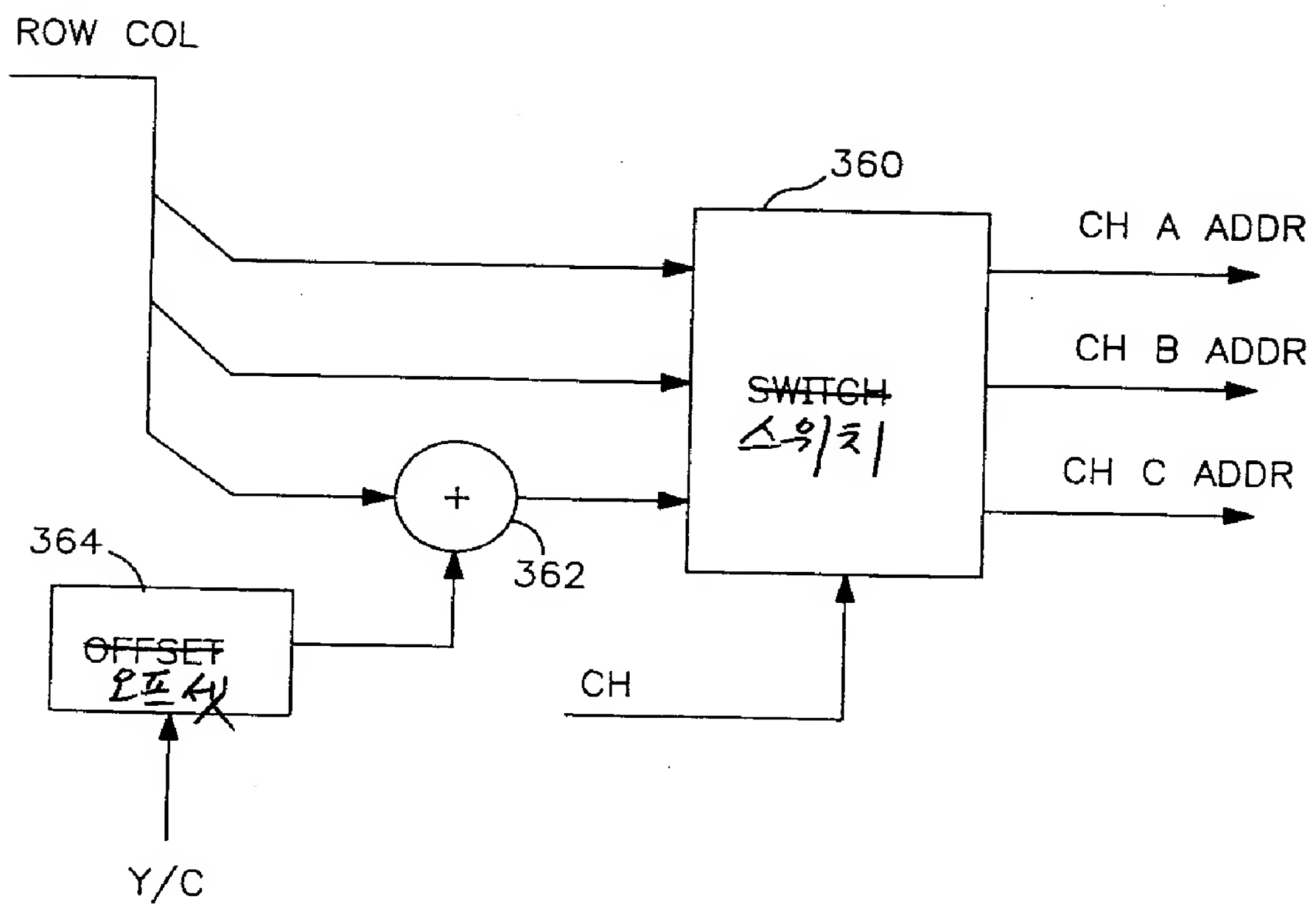


E22b

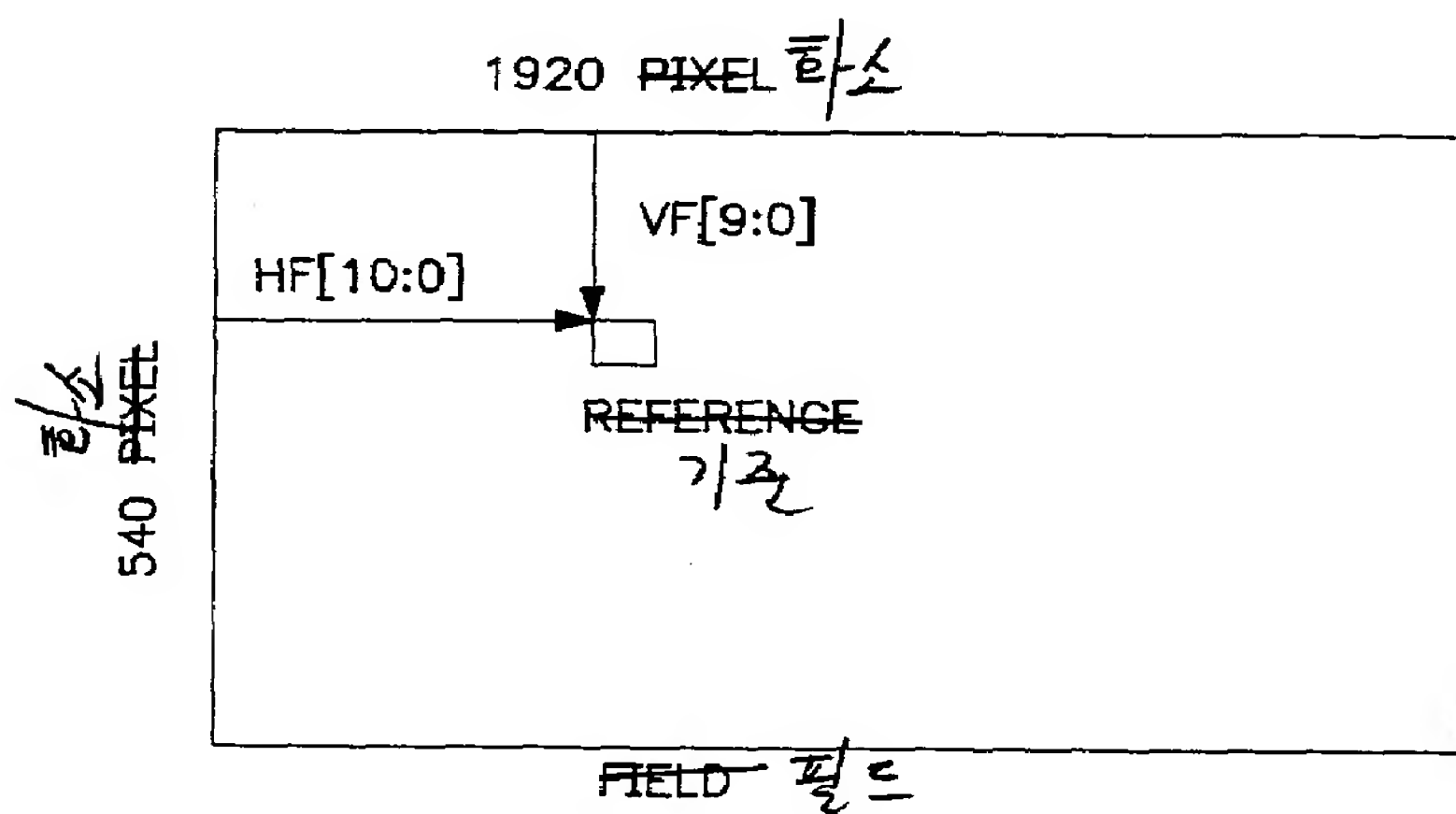




E200



E200



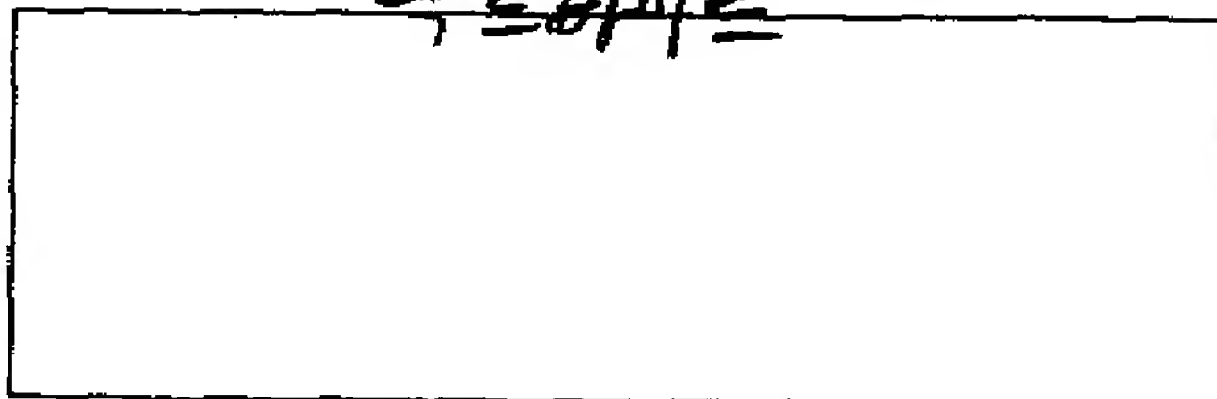
E24b

32	ROW0	$\frac{16}{2}$	FIELD A0	32
32				ROW67
32	ROW68	$\frac{16}{2}$	FIELD A1	32
32				ROW135
32	ROW136	$\frac{16}{2}$	FIELD B0	32
32				ROW203
32	ROW204	$\frac{16}{2}$	FIELD B1	32
32				ROW271
32	ROW272	$\frac{16}{2}$	FIELD C0	32
32				ROW339
32	ROW340	$\frac{16}{2}$	FIELD C1	32
32				ROW407
32	ROW408	$\frac{16}{2}$	VBV BUFFER etc.	32
				ROW511

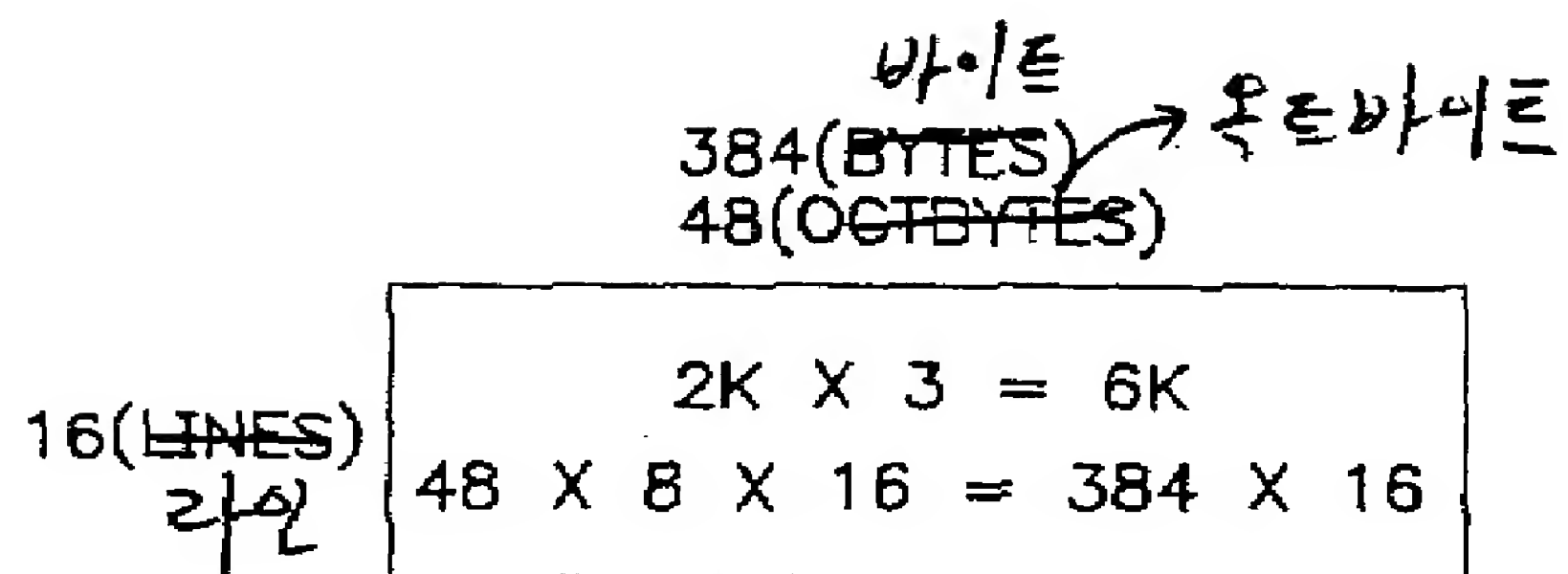
E25a

544(540)
 16(LINES) X 34(ROWS)
 라인 행

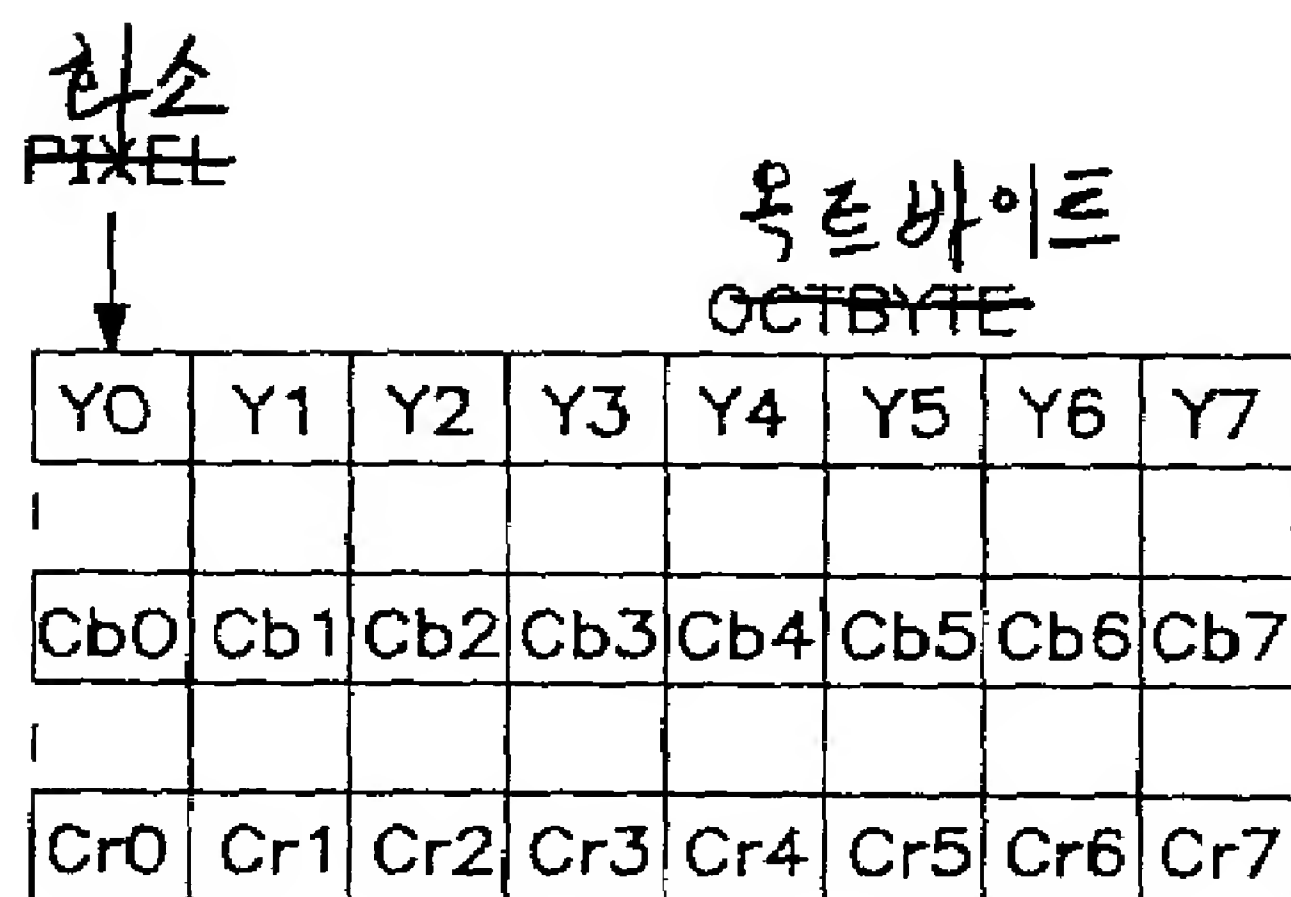
2048(1920) → 32
 256 X 8(ROWS) ↑
 32(OCTETES) X 8(ROWS)
 옥텟바이트



E256



E256



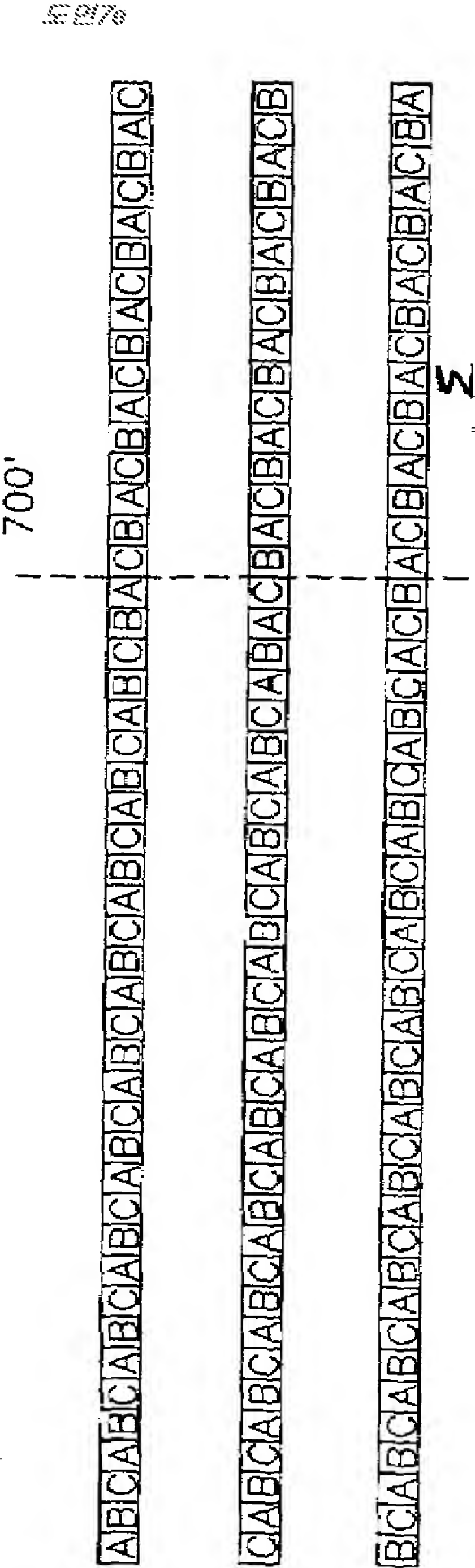
E27b

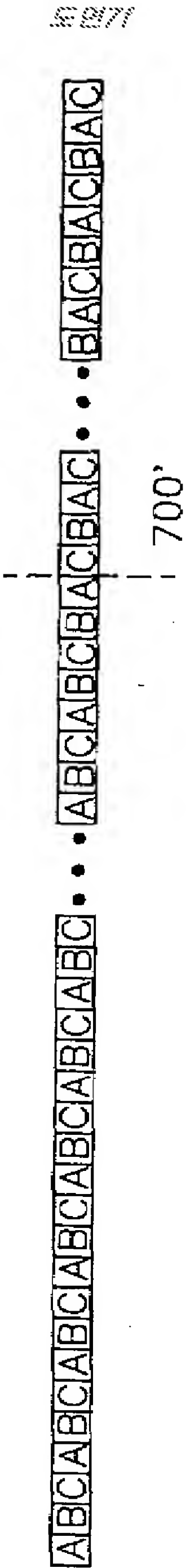
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB
CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	CAB	ACB	ACB	ACB	ACB	ACB

E27c

BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA
BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA
BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA
BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA
BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA
BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA
BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA
BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	BCA	CBA	CBA	CBA	CBA	CBA

[illegible]





59959108

25-24

52/106

1002				1012		1004	
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
DO:RO:B	DO:RO:C	DO:RO:A	DO:RO:B	DO:R1:C	DO:R1:A	DO:R1:B	DO:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
D1:RO:B	D1:RO:C	D1:RO:A	D1:RO:B	D1:R1:C	D1:R1:A	D1:R1:B	D1:R1:C
1006				1008			